



This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0000533
Application Number

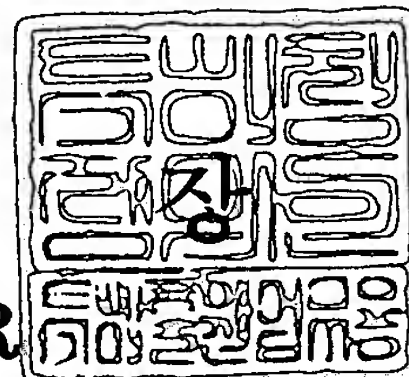
출원 년 월 일 : 2003년 01월 06일
Date of Application JAN 06, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 02 월 10 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.01.06
【발명의 명칭】	반도체 장치 커패시터의 하부 전극 및 이를 형성하기 위한 방법
【발명의 영문명칭】	Storage node of a capacitor in a semiconductor device and method for forming the storage node
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	김시연
【성명의 영문표기】	KIM, Si Youn
【주민등록번호】	700704-1010935
【우편번호】	138-240
【주소】	서울특별시 송파구 신천동 미성아파트 8-315
【국적】	KR
【발명자】	
【성명의 국문표기】	허기재
【성명의 영문표기】	HUR, Ki Jae
【주민등록번호】	700226-1388727
【우편번호】	138-751
【주소】	서울특별시 송파구 가락본동 금호아파트 105호 304호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
박영우 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 29 면 29,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 45 항 1,549,000 원

【합계】 1,607,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 장치 커패시터의 하부 전극 및 이를 형성하기 위한 방법이 개시되어 있다. 제1콘택홀을 갖는 제1절연막 패턴을 형성한 후, 상기 콘택홀 내에 하부 전극용 콘택 플러그를 형성하고, 상기 제1절연막 패턴 및 상기 콘택 플러그 상에 상기 제1절연막 패턴의 제1식각비보다 높은 제2식각비를 갖는 제2절연막을 형성한다. 그리고, 상기 제2절연막을 식각하여 상기 콘택 플러그를 노출시키는 제2콘택홀을 갖는 제2절연막 패턴을 형성한다. 이때, 상기 제1식각비와 제2식각비에 의해 상기 콘택 플러그 주변의 제1절연막 패턴이 식각되는 것이 다소 완화된다고 한다. 그리고, 상기 제2콘택홀의 측벽 및 저면에 상기 하부 전극용 도전성 박막을 연속적으로 형성한 후, 상기 제2절연막 패턴을 제거하는 단계를 포함한다. 그리고, 상기 도전성 박막을 형성하기 이전에 보호막을 형성할 수도 있다. 또한, 상기 도전성 박막을 형성한 상태에서는 상기 도전성 박막을 금속 배선으로도 적용할 수 있다.

【대표도】

도 3c

【명세서】**【발명의 명칭】**

반도체 장치 커패시터의 하부 전극 및 이를 형성하기 위한 방법{Storage node of a capacitor in a semiconductor device and method for forming the storage node}

【도면의 간단한 설명】

도 1은 종래의 실린더형 커패시터의 하부 전극의 구조를 개략적으로 나타내는 단면도이다.

도 2a 내지 도 2b는 종래의 실린더형 커패시터의 하부 전극을 형성하는 방법을 설명하기 위한 단면도들이다.

도 3a 내지 도 3e는 본 발명의 일 실시예에 따른 실린더형 커패시터의 하부 전극을 형성하는 방법을 나타내는 단면도들이다.

도 4는 본 발명의 방법에 따라 제조된 실린더형 커패시터의 하부 전극의 선평을 설명하기 위한 개략적인 단면도이다.

도 5 및 도 6은 본 발명의 일 실시예에 따른 보호막 패턴을 갖는 실린더형 커패시터의 하부 전극을 형성하는 방법을 나타내는 단면도들이다.

도 7a 내지 도 7d는 본 발명의 일 실시예에 따른 제조 방법을 적용한 디램의 제조를 설명하기 위한 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <7> 본 발명은 반도체 장치 커패시터의 하부 전극 및 이를 형성하기 위한 방법에 관한 것으로서, 보다 상세하게는 실린더형(cylinder type)으로 이루어진 커패시터의 하부 전극 및 이를 형성하기 위한 방법에 관한 것이다.
- <8> 최근, 컴퓨터가 급속히 보급되면서 반도체 장치에 대한 수요도 크게 증가하고 있다. 이에 따라, 상기 반도체 장치들은 그 기능적인 면에 있어 높은 축적 용량을 가지면서 고속 동작이 요구된다. 이러한 요구에 부응함으로서, 상기 반도체 장치는 집적도, 응답 속도 및 신뢰도를 향상시키기 위한 방향으로 제조 기술들이 개발되고 있다.
- <9> 상기 반도체 장치의 예로서는 정보 데이터의 입력과 출력이 자유롭고, 고용량을 갖는 디램(DRAM) 소자를 들 수 있다. 상기 디램 소자는 전하의 형태로 정보 데이터를 저장하는 메모리 셀과 상기 정보 데이터를 입력 및 출력시키는 주변 회로로 구성되고, 상기 메모리 셀에는 하나의 액세스 트랜지스터(access transistor)와 하나의 축적 커패시터(capacitor)가 포함된다.
- <10> 상기 고집적화를 위하여, 상기 디램 소자와 같은 반도체 장치의 제한된 셀 내에 충분한 커패시턴스를 갖는 커패시터의 형성 방법에 대한 연구가 진행 중에 있다. 상기 충분한 커패시턴스를 갖는 커패시터의 형성 방법에 대한 예로서는 높은 유전율을 갖는 물질을 커패시터의 유전막으로 적용하는 방법, 에이치에스지(HSG : hemisphere silicon grain) 성장을 이용한 커패시터의 유효 면적을 증가시키는 방법 등이 있다.

- <11> 그러나, 상기 에이치에스지 성장은 복잡한 공정을 요구한다. 따라서, 상기 복잡한 공정에 기인하는 비용의 상승, 생산성의 결여 등과 같은 문제점을 갖는다. 그리고, 상기 높은 유전율의 갖는 물질을 유전막으로 적용하는 방법은 공정 조건에서의 많은 변수가 있기 때문에 그 적용이 용이하지 않다.
- <12> 이에 따라, 최근에는 상기 충분한 커패시턴스의 확보를 위하여 상기 커패시터의 높이를 단순히 증가시키는 방법과 더불어 상기 커패시터의 형태를 다양하게 변형시키는 방법 등이 적용되고 있다. 그러나, 상기 커패시터의 높이 및 형태 변형은 상기 커패시터가 차지하는 수평 면적을 증가시키지 않은 상태에서 이루어져야 한다.
- <13> 상기 하부 전극의 형태를 변형시킨 예로서는 핀형(fin type), 실린더형 등을 들 수 있다. 그리고, 상기 커패시터의 높이의 경우에는, 최근의 기가(giga)급의 디램에 있어, 15,000Å 이상을 갖는다. 이에 따라, 최근에는, 반도체 장치에 있어, 상기 충분한 커패시턴스의 확보를 위하여 높이가 15,000Å 이상이고, 형태가 실린더형인 커패시터를 주로 채택하고 있다.
- <14> 상기 실린더형 커패시터에 대한 예들은 미합중국 특허 6,228,736호(issued to Lee et al), 미합중국 특허 6,080,620호(issued to Jeng) 등에 개시되어 있다.
- <15> 그러나, 상기 커패시터의 높이를 단순히 증가시킬 경우, 상기 커패시터를 제조하는 도중에 상기 커패시터의 하부 전극이 기울어지거나 쓰러지는 상황이 발생한다. 특히, 실린더형의 경우에는 상기 상황이 더욱 빈번하게 발생한다. 이는, 상기 실린더형의 커패시터가 높이에 다소 취약한 구조를 갖기 때문이다.

- <16> 이에 따라, 최근에는 상기 실린더형 커패시터의 하부 구조를 보강한 형태로 제조가 진행 중에 있다.
- <17> 상기 하부 구조를 보강한 형태의 실린더형 커패시터에 대한 예는 일본국 공개특허 평13-57413호에 개시되어 있다.
- <18> 도 1은 종래의 실린더형 커패시터의 하부 전극의 구조를 개략적으로 나타내는 단면도이다.
- <19> 도 1을 참조하면, 기판(15) 상에 형성되어 있는 실린더형 커패시터의 하부 전극(10)으로서, 상기 하부 전극(10)은 절연막 패턴(17)에 의해 형성되는 콘택 플러그(11) 및 상기 콘택 플러그(11)와 연결되는 노드(13)를 갖는다. 그리고, 상기 콘택 플러그(11)의 아래에는, 도시되지 않았지만, 상기 콘택 플러그(11)와 연결되는 패드가 있다.
- <20> 여기서, 상기 하부 전극(10)의 노드(13)는 선폭에 근거하여 상부 노드(13a)와 하부 노드(13b)로 구분한다. 이때, 상기 하부 전극(10)의 노드(10)는 상기 하부 노드(13b)의 선폭(CD2)이 상기 상부 노드(13a)의 선폭(CD1)보다 큰 구조를 갖는다.
- <21> 이와 같이, 상기 하부 노드(13b)의 선폭(CD2)을 상기 상부 노드(13a)의 선폭(CD1)보다 다소 크게 형성함으로써 상기 실린더형의 커패시터의 높이에 따른 취약한 구조를 극복할 수 있다.
- <22> 도 2a 및 도 2b는 종래의 실린더형 커패시터의 하부 전극을 형성하는 방법을 설명하기 위한 단면도들이다.
- <23> 도 2a를 참조하면, 기판(20) 상에 제1절연막을 형성한 후, 상기 제1절연막을 제1콘택홀(23)을 갖는 제1절연막 패턴(22)으로 형성한다. 이어서, 상기 제1콘택홀(23) 내에

도전성 물질을 매립시켜 커패시터의 하부 전극용 콘택 플러그(24)를 형성한다. 이때, 도
시되지 않았지만, 상기 콘택 플러그(24)는 상기 하부 전극용 패드와 연결된다. 즉, 상기
패드 상에 상기 콘택 플러그(24)가 형성되는 것이다.

<24> 계속해서, 상기 제1절연막 패턴(22) 및 콘택 플러그(24) 상에 식각 저지막(25), 제
2절연막(26) 및 제3절연막(28)을 순차적으로 적층한다. 이때, 상기 제2절연막(26)과 제3
절연막(28)은 식각 속도를 달리하는 물질로 형성된다. 이는, 상기 하부 전극을 쓰러짐
강한 구조로 형성하기 위함이다.

<25> 도 2b를 참조하면, 상기 제3절연막(28)을 식각하여 제3콘택홀(28b)을 갖는 제3절연
막 패턴(28a) 및 제3절연막 패턴(28a)에 의해 노출된 제2절연막(26)을 식각하여 상기 콘
택 플러그(24)를 노출시키는 제2콘택홀(26b)을 갖는 제2절연막 패턴(26a)을 형성한다.
이때, 상기 제3절연막 패턴(28a)과 제2절연막 패턴(26a)의 형성은 인-시튜(in-situ)로
이루어진다. 또한, 상기 제2절연막 패턴(26a)을 형성할 때 식각 저지막(25)도 식각이 이
루어진다.

<26> 이에 따라, 상기 제2절연막 패턴(26a) 및 제3절연막 패턴(28a)을 형성함으로써 상
기 콘택 플러그(24)의 표면이 노출된다. 이때, 상기 제2절연막 패턴(26a)의 제2콘택홀
(26b)의 선폭이 상기 제3절연막 패턴(28a)의 제3콘택홀(28b)의 선폭보다 크게 형성된다.
이는, 상기 제2절연막(26)의 식각 속도가 상기 제3절연막(28)의 식각 속도보다 빠르게
조정되기 때문이다. 이와 같이, 상기 제2절연막 패턴(26a)의 제2콘택홀(26b)의 선폭이
상기 제3절연막 패턴(28a)의 제3콘택홀(28b)의 선폭보다 크게 형성되기 때문에 상기 하
부 전극의 노드가 쓰러짐에 강한 구조를 갖는다.

<27> 그러나, 상기 콘택 플러그(24)의 입구 부위(A)에 형성된 제1절연막 패턴(22)이 다소 식각되는 상황이 발생한다. 즉, 상기 콘택 플러그(24)의 입구 부위(A)의 측면이 식각되는 상황이 발생하는 것이다. 이는, 상기 제3절연막(28)과 제2절연막(26)을 식각할 때 상기 제3절연막(28)의 식각 속도와 상기 제2절연막(26)의 식각 속도의 차이 때문이다. 또한, 상기 제3절연막(28)과 제2절연막(26)을 식각한 후, 세정을 실시할 때 상기 콘택 플러그(24)의 입구 부위(A)가 영향을 받기 때문이다.

<28> 이와 같이, 상기 콘택 플러그의 입구 부위의 측면을 따라 식각이 이루어짐으로서 심할 경우 인접하는 콘택 플러그들에서는 전기적 브릿지(bridge)가 발생할 수도 있다. 만약, 상기 콘택 플러그들 사이에서 브릿지가 발생할 경우 반도체 장치의 신뢰도에 치명적이다.

<29> 따라서, 최근에는 콘택 플러그들 사이에서 브릿지가 발생하지 않는 실린더형 커패시터의 하부 전극의 형성 방법이 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

<30> 본 발명의 제1목적은, 커패시터를 형성할 때 콘택 플러그의 입구 부위가 식각되는 것을 저지하기 위한 방법을 제공하는데 있다.

<31> 본 발명의 제2목적은, 커패시터를 형성할 때 콘택 플러그들 사이에서의 브릿지를 방지하기 위한 방법을 제공하는데 있다.

<32> 본 발명의 제3목적은, 콘택 플러그의 입구 부위를 적절하게 절연시킨 커패시터의 하부 전극을 제공하는데 있다.

【발명의 구성 및 작용】

- <33> 상기 제1목적 달성을 위한 본 발명은,
- <34> 제1콘택홀을 갖는 제1절연막 패턴을 형성하는 단계;
- <35> 상기 콘택홀 내에 하부 전극용 콘택 플러그를 형성하는 단계;
- <36> 상기 제1절연막 패턴 및 상기 콘택 플러그 상에 상기 제1절연막 패턴의 제1식각비보다 높은 제2식각비를 갖는 제2절연막을 형성하는 단계;
- <37> 상기 제2절연막을 식각하여 상기 콘택 플러그를 노출시키는 제2콘택홀을 갖는 제2절연막 패턴을 형성하되, 상기 제2절연막을 식각할 때 상기 제1식각비와 제2식각비에 의해 상기 콘택 플러그 주변의 제1절연막 패턴이 식각되는 것을 완화시키는 단계;
- <38> 상기 제2콘택홀의 측벽 및 저면에 상기 하부 전극용 도전성 박막을 연속적으로 형성하는 단계; 및
- <39> 상기 제2절연막 패턴을 제거하는 단계를 포함한다.
- <40> 이에 따라, 상기 제2절연막을 식각할 때 상기 제1절연막의 식각 속도가 상기 제2절연막의 식각 속도보다 느리게 조정됨으로서 상기 콘택 플러그의 입구 부위에 있는 제1절연막 패턴이 식각되는 것을 다소 저지할 수 있다.
- <41> 이와 같이, 본 발명에 의하면, 상기 콘택 플러그의 입구 부위가 식각됨으로서 발생하는 상기 콘택 플러그들 사이의 브릿지를 방지할 수 있다. 따라서, 최근의 높은 높이를 요구하고, 쓰러짐 현상을 줄일 수 있는 구조를 갖는 실린더형 커패시터를 형성할 때 상기 방법을 적용함으로써 반도체 장치의 제조에 따른 신뢰도를 확보할 수 있다.
- <42> 상기 제2목적 달성을 위한 본 발명은,

- <43> 제1콘택홀을 갖는 제1절연막 패턴을 형성하는 단계;
- <44> 상기 제1콘택홀 내에 하부 전극용 콘택 플러그를 형성하는 단계;
- <45> 상기 제1절연막 패턴 상에 상기 콘택 플러그를 노출시키는 제2콘택홀을 갖는 제2절연막 패턴을 형성하는 단계;
- <46> 상기 제2콘택홀의 측벽과 상기 제2콘택홀에 의해 노출된 상기 콘택 플러그 입구 부위의 측벽에 보호막을 형성하는 단계;
- <47> 상기 보호막과 상기 콘택 플러그 상에 하부 전극용 도전성 박막을 연속적으로 형성하는 단계;
- <48> 상기 제2절연막 패턴을 제거하는 단계; 및
- <49> 상기 보호막을 일부분 남기면서 제거하는 단계를 포함한다.
- <50> 이와 같이, 본 발명에 의하면, 상기 콘택 플러그의 입구 부위의 제1절연막이 다소 식각될 수도 있다. 하지만, 상기 식각된 제1절연막 부위에 상기 보호막을 형성함으로써 상기 보호막에 의해 상기 콘택 플러그들 사이의 브릿지를 방지할 수 있다. 즉, 상기 보호막이 절연 기능을 갖기 때문에 상기 브릿지를 방지할 수 있는 것이다. 따라서, 최근의 높은 높이를 요구하고, 쓰러짐 현상을 줄일 수 있는 구조를 갖는 실린더형 커패시터를 형성할 때 상기 방법을 적용함으로써 반도체 장치의 제조에 따른 신뢰도를 확보할 수 있다.
- <51> 상기 제3목적에 달성하기 위한 본 발명은,
- <52> 기판 상에 형성된 커패시터의 하부 전극용 콘택 플러그;
- <53> 상기 콘택 플러그 상부에 형성되는 상기 하부 전극용 노드; 및

- <54> 상기 노드와 연결되는 상기 콘택 플러그의 주변에 형성됨으로서 상기 콘택 플러그와 인접하는 콘택 플러그가 전기적으로 접촉하는 것을 저지하기 위한 보호막 패턴을 포함한다.
- <55> 이와 같이, 본 발명에 의하면, 상기 하부 전극은 보호막 패턴을 갖는다. 따라서, 상기 보호막 패턴이 인접한 콘택 플러그들 사이에서의 브릿지를 저지한다. 때문에, 상기 보호막 패턴을 갖는 하부 전극을 커패시터의 구성 요소로 채택할 경우, 전기적으로 안전한 기능의 달성이 가능하다.
- <56> 이하, 도면을 참조하여 본 발명을 상세하게 설명하기로 한다.
- <57> 도 3을 참조하면, 커패시터의 하부 전극용 패드(31)를 갖는 기판(30)을 마련한다. 상기 패드(31)는 게이트 전극들(도시되지 않음) 사이의 콘택 부위에 형성된다. 그리고, 상기 패드(31)는 커패시터의 하부 전극과 기판(30)과의 전기적 통로이다.
- <58> 이어서, 상기 패드(31)를 갖는 기판(30) 상에 제1절연막을 형성한다. 상기 제1절연막의 예로서는 비피에스지막(BPSG layer) 등을 들 수 있다. 상기 제1절연막으로서의 비피에스지막의 경우에는 후속 공정에서 형성할 제2절연막과의 식각 속도의 차이가 있어야 한다. 따라서, 상기 비피에스지막은 3.5 내지 4.5 중량% 정도의 붕소와 3.3 내지 3.7 중량% 정도의 인을 갖는 것이 바람직하다.
- <59> 그리고, 상기 기판(30) 상의 제1절연막을 식각하여 상기 패드(31)를 노출시키는 제1콘택홀(33)을 갖는 제1절연막 패턴(32)을 형성한다. 상기 제1절연막 패턴(32)의 형성은 일반적인 사진 식각 공정에 의해 달성된다.

- <60> 상기 제1절연막 패턴(32)을 형성할 때 파티클과 같은 오염 물질이 생성된다. 그리고, 상기 생성된 오염 물질은 상기 제1절연막 패턴(32) 상에 잔류할 수도 있다. 만약, 상기 제1절연막 패턴(32) 상에 오염 물질이 잔류할 경우에는 후속 공정에서 불량을 유발시킬 수 있다.
- <61> 따라서, 상기 제1콘택홀(33)을 형성한 후, 세정을 실시하는 것이 바람직하다. 그리고, 상기 세정은 습식 세정에 의해 달성되는데, 상기 습식 세정에서는 SC-1 용액 (standard cleaning-1 solution) 또는 HF 용액을 사용한다. 이들을 단독으로 사용한 습식 세정을 실시할 수도 있지만, 상기 HF 용액과 SC-1용액을 순차적으로 사용한 습식 세정을 실시하는 것이 바람직하다. 이때, 상기 HF 용액을 사용한 세정을 약 100초 동안 실시하고, 상기 SC-1 용액을 사용한 세정을 약 180초 동안 실시한다.
- <62> 이와 같이, 상기 세정을 실시할 경우에는 상기 제1콘택홀(33)의 선포이 다소 넓어지고, 상기 제1절연막 패턴(32)의 높이가 다소 낮추어진다. 이는, 상기 세정에 의해 상기 제1절연막 패턴(32)이 다소 식각되기 때문이다.
- <63> 만약, 상기 제1절연막 패턴(32) 하부에 비트 라인 등과 같은 구조물(도시되지 않음)이 있을 경우에는 상기 세정에 의해 상기 구조물의 일부가 노출되는 상황이 발생할 수도 있다. 특히, 상기 제1콘택홀(33)의 측벽 부위에서 상기 구조물의 일부가 노출되는 상황이 심하게 발생한다. 이와 같이, 상기 비트 라인 등과 같은 구조물의 일부가 노출될 경우에는 패턴 브릿지(bridge)와 같은 심각한 불량을 유발시킬 수 있다.
- <64> 따라서, 상기 세정을 실시한 후, 상기 제1콘택홀(33)의 측벽에 스페이서를 형성하는 것이 바람직하다. 상기 스페이서의 형성은 다음과 같다.

- <65> 먼저, 상기 제1콘택홀(33)의 측벽과 저면 및 상기 제1절연막 패턴(32) 상에 스페이서로 형성하기 위한 박막을 연속적으로 형성한다. 상기 스페이서로 형성하기 위한 박막의 예로서는 실리콘 질화막, 산화막 등을 들 수 있다. 이들은 단독으로 형성될 수도 있지만, 상기 산화막 및 실리콘 질화막이 순차적으로 형성되는 것이 바람직하다. 그리고, 상기 산화막의 경우, 중온 산화막(MTO : meddle temperature oxide)을 형성하기도 한다.
- <66> 이어서, 상기 박막을 형성한 후, 에치백(etch back)을 실시한다. 그러면, 상기 제1절연막 패턴(32) 상에 형성된 박막 및 상기 제1콘택홀(33) 저면에 형성된 박막이 제거된다. 따라서, 상기 제1콘택홀(33)의 측벽에만 상기 박막이 남는다. 이와 같이, 상기 남겨진 박막이 스페이서로의 역할을 갖는다.
- <67> 도 3b를 참조하면, 상기 제1콘택홀(33) 내에 도전성 물질을 매립시킨다. 상기 도전성 물질의 예로서는 폴리 실리콘을 들 수 있다.
- <68> 상기 도전성 물질을 매립시키는 방법은 다음과 같다. 먼저, 상기 제1콘택홀(33)을 갖는 제1절연막 패턴(32) 상에 도전성 물질을 갖는 박막을 적층한다. 이와 같이, 상기 박막을 적층함으로써 상기 제1콘택홀(33) 내에는 상기 박막의 도전성 물질(34)이 매립된다. 이어서, 상기 제1절연막 패턴(32) 상에 적층된 박막을 제거한다. 상기 제거는 화학 기계적 연마(CMP)에 의해 달성되는 것이 바람직하다. 그리고, 상기 화학 기계적 연마에서, 연마 종말점은 상기 제1절연막 패턴(32)의 표면으로 설정하는 것이 바람직하다. 따라서, 상기 화학 기계적 연마에 의해 상기 제1절연막 패턴(32)의 표면이 노출되는 시점까지 상기 박막을 연마한다. 그러면, 상기 제1콘택홀(33) 내에 도전성 물질이 매립되는

것이다. 이와 같이, 상기 제1콘택홀(33) 내에 도전성 물질을 매립시킴으로서 커패시터의 하부 전극용 콘택 플러그(34)가 형성된다.

<69> 도 3c를 참조하면, 상기 제1절연막 패턴(32) 및 상기 콘택 플러그(34) 상에 제2절연막(36) 및 제3절연막(38)을 순차적으로 형성한다. 여기서, 상기 제3절연막(38) 및 제2절연막(36)을 식각할 때 식각 속도의 차이로 인하여 제1절연막 패턴(32)이 다소 손상될 수도 있다.

<70> 따라서, 상기 제1절연막 패턴(32) 및 상기 콘택 플러그(34) 상에 식각 저지막(35)을 형성하는 것이 바람직하다. 이와 같이, 상기 식각 저지막(35)을 형성함으로써 상기 제3절연막(38) 및 제2절연막(36)을 식각할 때 상기 제1절연막 패턴(32)이 손상되는 것을 저지할 수 있다. 상기 식각 저지막(35)의 예로서는 실리콘 질화막, 산화막 등을 들 수 있다. 이들은 단독으로 형성될 수도 있지만, 상기 산화막 및 실리콘 질화막이 순차적으로 형성되는 것이 바람직하다. 상기 산화막의 경우, 중온 산화막(MTO)을 형성하기도 한다.

<71> 만약, 상기 제2절연막(36)의 식각 속도가 상기 제1절연막 패턴(32)의 식각 속도보다 느린 경우에는 상기 제2절연막(36)이 식각될 때 상기 콘택홀(33) 입구 부위의 제1절연막 패턴(32)이 빠르게 식각되는 상황이 발생한다. 상기 콘택홀(33) 입구 부위의 제1절연막 패턴(32)이 빠르게 식각될 경우에는 인접하는 콘택홀들과 패턴 브릿지가 발생할 수 있다. 이와 같이, 패턴 브릿지가 발생할 경우 반도체 장치의 전기적 기능에 심각한 영향을 끼친다.

<72> 따라서, 상기 제2절연막(36)은 그것의 식각 속도가 상기 제1절연막 패턴(32)의 식각 속도보다 빠른 것이 바람직하다. 즉, 상기 제2절연막의 식각 선택도가 상기 제1절연

막의 식각 선택도보다 높은 것이 바람직하다. 상기 제2절연막(36)의 예로서는 비피에스 지막(BPSG layer) 등을 들 수 있다. 상기 비피에스지막은 2.3 내지 2.7 중량% 정도의 붕소와 2.25 내지 2.65 중량% 정도의 인을 갖는 것이 바람직하다.

<73> 그리고, 상기 제3절연막 패턴 및 제2절연막 패턴에 근거하여 형성할 실린더형 커패시터의 하부 전극에서 하부 노드의 선폭이 상부 노드의 선폭보다 크게 형성되어야 한다. 이것은 상기 하부 전극의 기울어짐 또는 쓰러짐을 방지하기 위함이다. 따라서, 상기 제3절연막(38)과 제2절연막(36)을 식각하여 제3절연막 패턴과 제2절연막 패턴으로 형성할 때 상기 제2절연막 패턴의 제2콘택홀의 선폭이 제3절연막 패턴의 제3콘택홀의 선폭보다 크게 형성되어야 한다. 상기 제3절연막(38)의 예로서는 TEOS 산화막을 들 수 있다.

<74> 도 3d를 참조하면, 상기 제3절연막(38)과 제2절연막(36)을 순차적으로 식각한다. 상기 식각은 통상의 사진 식각 공정에 의해 달성되는데, 상기 콘택 플러그(34)의 표면이 노출될 때까지 실시한다. 상기 식각은 상기 제2절연막(36)의 식각에 의해 노출되는 식각 저지막(35)까지 수행하는 것이 바람직하다. 여기서, 상기 제3절연막(38)과 제2절연막(36)의 순차적 식각은 습식 식각 또는 건식 식각에 의해 달성되는데, LAL 용액을 사용한 습식 식각에 의해 달성되는 것이 바람직하다. 그리고, 상기 식각 저지막(35)의 식각은 LAL 용액을 이용한 습식 식각 또는 인산 용액을 이용한 습식 식각에 의해 달성되는 것이 바람직하다. 이는, 상기 식각 저지막(35)이 산화막인 경우에는 상기 LAL 용액을 이용한 습식 식각을 실시하고, 상기 식각 저지막(35)이 실리콘 질화막인 경우에는 인산 용액을 이용한 습식 식각을 실시해야 하기 때문이다.

<75> 이와 같이, 상기 식각에 의해 제3절연막(38)과 제2절연막(36) 각각은 제3콘택홀(38b)을 갖는 제3절연막 패턴(38a)과 제2콘택홀(36b)을 갖는 제2절연막 패턴(36a)으로

형성된다. 이때, 상기 제3절연막(38)의 식각 속도보다 상기 제2절연막(36)의 식각 속도가 빠르게 조정되기 때문에 제2절연막 패턴(36a)의 제2콘택홀(36b)의 선평이 제3절연막 패턴(38a)의 제3콘택홀(38b)의 선평보다 크게 형성된다. 또한, 상기 제2절연막(36)의 식각 속도가 제1절연막 패턴(32)의 식각 속도보다 빠르게 조정되기 때문에 상기 제2절연막(36)의 식각으로 인해 노출되는 콘택 플러그(34)의 입구 부위에 있는 제1절연막 패턴(32)은 거의 식각되지 않는다.

<76> 그리고, 상기 제3절연막 패턴(38a) 및 제2절연막 패턴(36a)을 형성할 때 파티클과 같은 오염 물질이 생성된다. 그리고, 상기 생성된 오염 물질은 상기 제3절연막 패턴(38a) 및 제2절연막 패턴(38b) 상에 잔류할 수도 있다. 만약, 상기 오염 물질이 잔류할 경우에는 후속 공정에서 불량을 유발시킬 수 있다.

<77> 따라서, 상기 제3절연막 패턴(38a) 및 제2절연막 패턴(36a)을 형성한 후, 세정을 실시하는 것이 바람직하다. 상기 세정은 습식 세정에 의해 달성되는데, 상기 습식 세정에서는 SC-1 용액 또는 HF 용액을 사용한다. 이들을 단독으로 사용한 습식 세정을 실시할 수도 있지만, 상기 HF 용액과 SC-1용액을 순차적으로 사용한 습식 세정을 실시하는 것이 바람직하다. 이때, 70℃ 정도의 온도 분위기에서 상기 SC-1 용액을 사용한 세정을 약 7분 동안 실시하고, 상기 HF 용액을 사용한 세정을 약 160초 동안 실시한다.

<78> 이와 같이, 상기 제3절연막 패턴(38a) 및 제2절연막 패턴(38b)의 형성과 상기 세정을 실시함으로써 상기 제1절연막 패턴(32)이 다소 손상될 수도 있다. 즉, 상기 콘택 플러그(34)가 형성된 입구 부위에 있는 제1절연막 패턴(32)이 다소 손상될 수도 있는 것이다.

- <79> 따라서, 상기 제1절연막 패턴(32)이 손상된 경우에는 상기 손상된 제1절연막 패턴(32)을 보호하기 위한 보호막(도시되지 않음)을 상기 손상 부위에 더 형성하는 것이 바람직하다. 상기 보호막의 예로서는 실리콘 질화막, 산화 알루미늄막 등을 들 수 있다. 이들은 단독으로 적층하는 것이 바람직하지만, 실리콘 질화막 및 산화 알루미늄막을 갖는 다층막의 적층도 가능하다.
- <80> 여기서, 상기 보호막의 형성은 다음과 같다. 먼저, 상기 제3절연막 패턴(38a), 제3콘택홀(38b)의 측벽, 제2콘택홀(36b)의 측벽 및 저면에 상기 보호막을 연속적으로 형성한다. 그리고, 화학 기계적 연마를 통하여 상기 제3절연막 패턴(38a) 상에 있는 상기 보호막을 제거한다. 이에 따라, 상기 제3콘택홀(38b)의 측벽, 제2콘택홀(36b)의 측벽 및 저면에 상기 보호막이 형성된다. 이때, 상기 보호막은 상기 손상 부위에만 형성되는 것도 가능하지만, 공정 특성상 상기 제3콘택홀(38b)의 측벽, 제2콘택홀(36b)의 측벽 및 저면에 형성되는 것이 바람직하다.
- <81> 이와 같이, 상기 보호막을 형성함으로써 상기 콘택 플러그(34)의 입구 부위에 있는 제1절연막 패턴(32)의 손상으로 인하여 인접하는 콘택 플러그(34)들에 패턴 브릿지가 발생하는 것이 저지된다.
- <82> 그리고, 커패시터의 하부 전극용 도전성 박막(40)을 상기 제3콘택홀(38b)의 측벽과, 상기 제2콘택홀(36b)의 측벽 및 저면에 연속적으로 형성한다. 상기 도전성 박막(40)의 형성은 다음과 같다. 먼저, 상기 제3절연막 패턴(38a), 제3콘택홀(38b)의 측벽, 제2콘택홀(36b)의 측벽 및 저면에 상기 도전성 박막(40)을 연속적으로 형성한다. 그리고, 화학 기계적 연마를 통하여 상기 제3절연막 패턴(38a) 상에 있는 도전성 박막(40)을 제거한다

- <83> 이에 따라, 하부 전극(40)으로서의 도전성 박막이 형성된다. 즉, 상기 제3콘택홀(38b)의 측벽, 제2콘택홀(36b)의 측벽 및 저면(콘택 플러그와 면접하는 부위)에 하부 전극(40)이 형성된다. 이때, 상기 하부 전극(40)은 상부 노드(40a)와 하부 노드(40b)를 갖는데, 상기 하부 노드(40b)의 선평이 상기 상부 노드(40a)의 선평보다 크게 형성된다. 이는, 상기 제2콘택홀(36b)의 선평이 상기 제3콘택홀(38b)의 선평보다 크기 때문이다.
- <84> 또한, 도 4에 도시된 바와 같이, 상기 하부 전극(40)의 상부 노드(40a)에서도 그것의 저부의 선평(CD42)보다는 그것의 상부의 선평(CD41)이 다소 크고, 마찬가지로 하부 노드(40b)에서도 그것의 저부의 선평(CD44)보다는 그것의 상부의 선평(CD43)이 다소 크게 형성된다. 이는, 기하학적으로 안정된 구조를 갖는 하부 전극(40)을 형성하기 위함이다.
- <85> 여기서, 상기 도전성 박막을 형성한 상태를 반도체 장치의 금속 배선으로 이용할 수 있다. 구체적으로, 상기 도전성 박막을 형성한 후, 상기 도전성 박막을 갖는 결과물 상에 층간 절연막을 형성한다. 그리고, 상기 층간 절연막을 식각하여 상기 도전성 박막을 노출시키는 콘택홀을 갖는 층간 절연막 패턴을 형성한다. 이어서, 상기 도전성 박막과 전기적으로 연결하기 위한 박막을 더 형성한다.
- <86> 이와 같이, 상기 도전성 박막을 형성한 후, 일련의 공정을 거침으로서 상기 도전성 박막을 금속 배선으로 이용하는 것이다.
- <87> 도 3e를 참조하면, 상기 제2절연막 패턴(36a) 및 제3절연막 패턴(38a)을 제거한다. 이에 따라, 상기 기판(30) 상에는 실린더형 커패시터의 하부 전극(40)이 형성된다.

- <88> 상기 제2절연막 패턴(36a) 및 제3절연막 패턴(38a)의 제거는 LAL 용액을 사용한 습식 식각에 의해 달성되는 것이 바람직하다.
- <89> 그리고, 상기 보호막이 형성된 경우 상기 보호막을 제거하는 것이 바람직하다. 상기 보호막의 제거는 LAL 용액을 이용한 습식 식각 또는 인산 용액을 이용한 습식 식각에 의해 달성되는 것이 바람직하다. 이는, 상기 보호막이 산화 알루미늄막인 경우에는 상기 LAL 용액을 이용한 습식 식각을 실시하고, 상기 보호막이 실리콘 질화막인 경우에는 인산 용액을 이용한 습식 식각을 실시해야 하기 때문이다.
- <90> 또한, 상기 제2절연막 패턴(36a) 및 제3절연막 패턴(38a)의 제거에 의해 노출되는 제1절연막 패턴(32) 상에 잔류하는 식각 저지막(35)의 제거가 이루어진다. 이때, 상기 식각 저지막(35)이 상기 보호막과 동일한 물질로 이루어진 경우에는 상기 보호막을 제거할 때 상기 식각 저지막(35)의 제거가 동시에 이루어진다. 따라서, 상기 식각 저지막(35)의 제거는 LAL 용액을 이용한 습식 식각 또는 인산 용액을 이용한 습식 식각에 의해 달성되는 것이 바람직하다.
- <91> 본 발명에 의하면, 상기 콘택 플러그의 입구 부위에 형성된 절연막 패턴의 식각 속도를 조절하여 상기 콘택 플러그의 입구 부위에 형성된 절연막 패턴이 식각되는 것을 저지함으로서 상기 콘택 플러그들 사이에서의 패턴 브릿지를 줄일 수 있다. 또한, 상기 콘택 플러그의 입구 부위에 형성된 절연막 패턴이 다소 식각이 이루어지더라도 손상된 입구 부위에 절연 기능을 갖는 보호막을 형성함으로서 상기 보호막에 의해 상기 콘택 플러그들 사이에서의 패턴 브릿지가 저지된다.
- <92> 따라서, 본 발명은 실린더형 커패시터를 형성할 때 빈번하게 발생하는 콘택 플러그들 사이에서의 패턴 브릿지를 줄일 수 있다.

- <93> 상기 보호막을 형성하는 경우에 대해서 보다 상세하게 살펴보기로 한다.
- <94> 도 5를 참조하면, 기판(50) 상에 제1콘택홀(53)을 갖는 제1절연막 패턴(52)을 형성한 후, 상기 제1콘택홀(53) 내에 도전성 물질을 매립시켜 커패시터의 하부 전극용 콘택 플러그(54)로 형성한다.
- <95> 이어서, 상기 콘택 플러그(54)를 노출시키는 제2콘택홀(56a)을 갖는 제2절연막 패턴(56) 및 제3콘택홀(58a)을 갖는 제3절연막 패턴(58)을 형성한다. 이때, 상기 식각 저지막(55)이 개재되기도 한다.
- <96> 여기서, 상기 제1절연막 패턴(52), 콘택 플러그(54), 제2절연막 패턴(56) 및 제3절연막 패턴(58)은 상기 도 3a 내지 도 3d를 참조하여 설명한 방법과 동일한 방법에 의해 형성된다.
- <97> 그러나, 상기 제2절연막 패턴(56) 및 제3절연막 패턴(58)을 형성할 때 콘택 플러그(54)의 입구 부위에 있는 제1절연막 패턴(52)이 손상되는 상황이 발생할 수 있다. 만약, 상기 제1절연막 패턴(52)이 다소 심하게 손상될 경우 인접하는 콘택 플러그(54)들 사이에서는 패턴 브릿지가 발생한다.
- <98> 따라서, 상기 제3콘택홀(58a)의 측벽, 제2콘택홀(56a)의 측벽 및 저면에 보호막(59)을 형성한다. 상기 보호막(59)의 형성은 다음과 같다. 먼저, 상기 제3절연막 패턴(58), 제3콘택홀(58a)의 측벽, 제2콘택홀(56a)의 측벽 및 저면에 상기 보호막(59)의 형성을 위한 박막을 연속적으로 형성한다. 그리고, 화학 기계적 연마를 통하여 상기 제3절연막 패턴(58) 상에 있는 상기 박막을 제거함으로써 상기 보호막(59)이 형성된다. 이때,

상기 보호막(59)은 상기 손상 부위에만 형성되는 것도 가능하지만, 공정 특성상 상기 제3콘택홀(58a)의 측벽, 제2콘택홀(56a)의 측벽 및 저면에 형성되는 것이 바람직하다.

<99> 이와 같이, 상기 제1절연막 패턴(52)이 손상된 경우에는 상기 손상된 제1절연막 패턴(52)을 보호하기 위한 보호막(59)을 상기 손상 부위에 형성하는 것이다. 여기서, 상기 보호막(59)의 예로서는 실리콘 질화막, 산화 알루미늄막 등을 들 수 있다. 이들은 단독으로 적층하는 것이 바람직하지만, 실리콘 질화막 및 산화 알루미늄막을 갖는 다층막의 적층도 가능하다.

<100> 그리고, 상기 커패시터의 하부 전극용 도전성 박막을 적층하고, 이를 가공함으로써 하부 노드(60b)와 상부 노드(60a)를 갖는 커패시터의 하부 전극(60)을 형성한다. 상기 하부 전극(60)은 상기 도 3d를 참조하여 설명한 방법과 동일한 방법에 의해 형성된다.

<101> 도 6을 참조하면, 상기 제2절연막 패턴(56) 및 제3절연막 패턴(58)을 제거한다. 그리고, 상기 제2절연막 패턴(56) 및 제3절연막 패턴(58)의 제거에 의해 노출되는 보호막(59) 및 식각 저지막(55)을 제거한다. 상기 제2절연막 패턴(56), 제3절연막 패턴(58), 보호막(59) 및 식각 저지막(55)은 상기 도 3e를 참조하여 설명한 방법과 동일한 방법에 의해 제거된다.

<102> 이에 따라, 상기 기판(50) 상에는 실린더형 커패시터의 하부 전극(60)이 형성된다. 여기서, 상기 하부 전극(60)은 하부 전극용 패드(51), 하부 전극용 콘택 플러그(54), 보호막 패턴(59a) 및 하부 전극용 노드(60a, 60b)를 포함한다. 여기서, 상기 노드(60a, 60b)는 실린더형으로서, 상기 실린더형 노드(60a, 60b)는 상부 노드(60a) 및 상기 상부 노드(60a)와 연결되는 하부 노드(60b)로 이루어지고, 상기 하부 노드(60b)의 선평이 상기 상부 노드(60a)의 선평보다 큰 것이 바람직하다.

- <103> 특히, 상기 하부 전극(60)에서 상기 콘택 플러그(54)의 입구 부위에는 보호막 패턴(59a)이 형성된다. 따라서, 상기 보호막 패턴(59a)에 의해 상기 콘택 플러그(54)들 사이에서의 패턴 브릿지가 저지된다.
- <104> 따라서, 상기 보호막 패턴을 형성하는 경우에는 실린더형 커패시터를 형성할 때 빈번하게 발생하는 콘택 플러그들 사이에서의 패턴 브릿지를 줄일 수 있다.
- <105> 이하, 본 발명의 실린더형 커패시터의 하부 전극을 형성하는 방법을 적용한 반도체 장치의 디램 제조에 대하여 설명하기로 한다.
- <106> 도 7a 내지 도 7d는 본 발명의 일 실시예에 따른 제조 방법을 적용한 디램의 제조를 나타내는 단면도들이다.
- <107> 도 7a를 참조하면, 소자 분리막(70)으로서 트렌치 구조물을 갖는 기판(70)을 마련한다. 그리고, 상기 기판(70)의 액티브 영역 상에 게이트 산화막 패턴(74a), 폴리 실리콘막 패턴(74b) 및 텅스텐 실리콘사이드막 패턴(74c)을 포함하는 게이트 전극(Ga)을 형성한다. 다음에, 이온 주입을 실시하여 얇은 접합을 갖는 소스/드레인 전극을 형성한다. 그리고, 상기 게이트 전극(Ga)의 양측벽에 스페이서(78)를 형성하고, 상기 게이트 전극(Ga)의 상부에 보호막(76)을 형성한다. 이어서, 이온 주입을 실시하여 깊은 접합을 갖는 소스/드레인 전극을 형성한다. 이에 따라, 상기 기판(70)에 게이트 전극(Ga) 및 엘디디(LDD)의 소스/드레인 전극(80)이 형성된다.
- <108> 이어서, 상기 게이트 전극(Ga)들 사이의 콘택 영역에 폴리 실리콘이 매립되는 패드(82)를 형성한다. 여기서, 상기 패드(82)는 커패시터의 하부 전극용 패드(82a)와, 비트 라인용 패드(82b)를 포함한다. 상기 패드(82)는 상기 게이트 전극(Ga)을 갖는 기판(70)

상에 폴리 실리콘막을 형성한 후, 상기 게이트 전극(Ga)의 보호막(76)이 노출될 때까지 화학 기계적 연마를 실시하여 상기 콘택 영역에만 폴리 실리콘을 남김으로서 형성된다.

<109> 그리고, 상기 결과물 상에 층간 절연막(84)을 형성한 후, 그것의 표면을 평탄화시킨다. 다음에, 사진 식각 공정을 통하여 상기 비트 라인용 패드(82b)를 노출시키는 비트 라인 콘택홀을 형성한다. 이어서, 상기 콘택홀에 도전성 물질을 매립시켜 비트 라인용 콘택 플러그(86)를 형성한 후, 상기 콘택 플러그(86)와 연결되는 비트 라인(88)을 형성한다. 그리고, 상기 비트 라인(88) 상에 상기 비트 라인(88)의 산화를 저지하기 위한 산화 저지막(90)을 형성한다.

<110> 이어서, 상기 산화 저지막(90) 상에 다시 층간 절연막(92)을 형성한 후, 화학 기계적 연마를 실시하여 상기 층간 절연막(92)을 평탄화시킨다. 상기 평탄화에 의해 상기 층간 절연막(92)의 두께는 약 500Å의 두께를 갖도록 조정된다. 그러나, 상기 층간 절연막(92)이 약 500Å의 두께를 갖기 때문에 후속 공정에서 상기 비트 라인(88)이 손상될 가능성을 갖는다.

<111> 따라서, 상기 평탄화를 실시한 후, 상기 층간 절연막(92) 상에 약 2,000Å의 두께를 갖는 캡핑막(94)을 형성한다. 이때, 상기 캡핑막(94)은 화학 기상 증착에 의해 형성되는 비피에스지막으로서 약 4.0 중량%의 붕소와 약 3.5중량%의 인을 갖도록 조정된다.

<112> 도 7b를 참조하면, 상기 하부 전극용 패드(82a)를 노출시키는 콘택홀(96)을 형성한다. 상기 콘택홀(96)의 형성은 포토레지스트 패턴을 식각 마스크로 사용하는 건식 식각 공정에 의해 달성된다. 이어서, 약 200 : 1로 희석시킨 HF 용액을 사용하여 약 100초 동안 1차 습식 세정하고, SC-1 용액을 사용하여 약 180초 동안 2차 습식 세정을 실시한다.

- <113> 그리고, 상기 콘택홀(96)의 측벽에 스페이서(98)를 형성한다. 상기 스페이서(98)는 상기 콘택홀(96)의 측벽과 저면 및 캡핑막(94)의 표면을 따라 중온 산화막 및 실리콘 질화막을 연속적으로 형성한 후, 에치백을 실시하여 상기 콘택홀(96)의 저면 및 캡핑막(94)에 형성되어 있는 중온 산화막 및 실리콘 질화막을 제거함으로 형성된다.
- <114> 이어서, 상기 콘택홀(96) 내에 도전성 물질이 매립된 하부 전극용 콘택 플러그(100)를 형성한다. 그리고, 상기 콘택 플러그(100) 및 캡핑막(94) 상에 식각 저지막(102)으로서 약 450Å의 두께를 갖는 실리콘 산화막을 형성한다.
- <115> 계속해서, 상기 식각 저지막(102) 상에 실린더형 노드를 갖는 하부 전극의 몰딩이 가능한 몰딩막(104)을 형성한다. 상기 몰딩막(104)은 2.50 중량%의 붕소와 약 2.45중량%의 인을 갖도록 조정된 비피에스지막(104a)과 P-TEOS막(104b)이 순차적으로 적층된 구조를 갖는다. 그리고, 상기 몰딩막(104)은 15,000Å 정도의 두께를 갖도록 형성된다.
- <116> 도 7c를 참조하면, 상기 몰딩막(104)을 식각하여 콘택홀을 갖는 몰딩막 패턴(106)을 형성한다. 이때, 상기 몰딩막 패턴(106)에서 비피에스지막 패턴(106a)의 콘택홀의 선포이 P-TEOS막 패턴(106b)의 콘택홀 선포보다 크게 형성된다. 여기서, 상기 몰딩막 패턴(106)의 형성을 위한 식각을 실시하여도 상기 캡핑막(94)이 상기 몰딩막의 비피에스지막보다 붕소 및 인의 함량이 높기 때문에 식각이 잘 진행되지 않는다.
- <117> 그리고, 70℃ 정도의 온도 분위기에서 SC-1 용액을 사용하여 약 7분 동안 1차 습식 세정하고, 약 200 : 1로 희석시킨 HF 용액을 사용하여 약 160초 동안 2차 습식 세정을 실시한다.

- <118> 이와 같이, 상기 몰딩막 패턴(106)을 형성한 후, 상기 몰딩막 패턴(106)의 콘택홀의 측벽에 상기 콘택 플러그(100)의 패턴 브릿지의 방지를 위한 보호막(108)을 형성한다. 계속해서, 상기 보호막(108)의 표면과 상기 콘택홀의 저면을 따라 하부 전극의 노드용 박막(110)을 형성한다.
- <119> 여기서, 상기 하부 전극의 노드용 박막(110)을 금속 배선으로도 적용할 수 있다. 즉, 상기 노드용 박막(110)을 갖는 결과물 상에 층간 절연막을 형성한 후, 상기 층간 절연막을 패터닝하여 상기 노드용 박막(110)을 노출시키는 콘택홀을 갖는 층간 절연막 패턴을 형성하는 것이다. 그리고, 상기 노드용 박막(110)과 전기적으로 연결되도록 상기 층간 절연막 패턴에 박막을 형성한다. 이와 같이, 상기 공정을 진행함으로써 상기 노드용 박막(110)을 금속 배선으로도 적용할 수 있다.
- <120> 도 7d를 참조하면, 상기 몰딩막 패턴(106)과 보호막(108) 및 캡핑막(94) 상에 잔류하는 식각 저지막(102)을 순차적으로 제거한다. 이에 따라, 상기 기판(70) 상에는 패드(82a), 콘택 플러그(100), 상부 노드(110a)와 하부 노드(110b)를 갖는 하부 전극(100)이 형성된다.
- <121> 그리고, 상기 하부 전극 상에 유전막 및 상부 전극을 순차적으로 형성함으로써 커패시터가 제조된다.
- <122> 따라서, 게이트 전극과 소스 및 드레인 전극을 갖는 트랜지스터, 전기적 연결을 위한 비트 라인 및 상기 커패시터를 갖는 디램 셀의 형성이 이루어진다.

【발명의 효과】

- <123> 본 발명에 의하면, 실린더형 커패시터를 형성할 때 하부 전극용 콘택 플러그의 입구 부위에 있는 절연막이 식각되는 것을 저지하거나, 상기 콘택 플러그의 입구 부위의 절연막이 다소 식각되어도 콘택 플러그들 사이의 브릿지를 방지할 수 있다.
- <124> 따라서, 최근의 높은 높이를 요구하고, 쓰러짐 현상을 줄일 수 있는 구조를 갖는 실린더형 커패시터를 형성할 때 상기 방법을 적용함으로써 반도체 장치의 제조에 따른 신뢰도를 확보할 수 있다. 그리고, 전기적으로 안전한 기능을 갖는 커패시터를 구현할 수 있다.
- <125> 이와 같이, 본 발명에 의하면, 상기 콘택 플러그의 입구 부위가 식각됨으로서 발생하는 상기 콘택 플러그들 사이의 브릿지를 방지할 수 있다. 따라서, 최근의 높은 높이를 요구하고, 쓰러짐 현상을 줄일 수 있는 구조를 갖는 실린더형 커패시터를 형성할 때 상기 방법을 적용함으로써 반도체 장치의 제조에 따른 신뢰도를 확보할 수 있다.
- <126> 또한, 본 발명에 의하면, 상기 노드용 박막을 갖는 구조물을 금속 배선으로도 충분히 적용할 수 있다.
- <127> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

제1콘택홀을 갖는 제1절연막 패턴을 형성하는 단계;

상기 콘택홀 내에 하부 전극용 콘택 플러그를 형성하는 단계;

상기 제1절연막 패턴 및 상기 콘택 플러그 상에 상기 제1절연막 패턴의 제1식각비보다 높은 제2식각비를 갖는 제2절연막을 형성하는 단계;

상기 제2절연막을 식각하여 상기 콘택 플러그를 노출시키는 제2콘택홀을 갖는 제2절연막 패턴을 형성하되, 상기 제2절연막을 식각할 때 상기 제1식각비와 제2식각비에 의해 상기 콘택 플러그 주변의 제1절연막 패턴이 식각되는 것을 완화시키는 단계;

상기 제2콘택홀의 측벽 및 저면에 상기 하부 전극용 도전성 박막을 연속적으로 형성하는 단계; 및

상기 제2절연막 패턴을 제거하는 단계를 포함하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 2】

제1항에 있어서, 상기 제1절연막 패턴은 3.5 내지 4.5 중량%의 붕소와 3.3 내지 3.7 중량%의 인을 갖는 비피에스지막(BPSG layer)이고, 상기 제2절연막은 2.3 내지 2.7 중량%의 붕소와 2.25 내지 2.65 중량%의 인을 갖는 비피에스지막인 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 3】

제1항에 있어서, 상기 제1절연막 패턴을 형성한 후, 제1습식 세정을 수행하는 단계와, 상기 제2절연막 패턴을 형성한 후, 제2습식 세정을 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 4】

제3항에 있어서, 상기 제1습식 세정과 제2습식 세정은 SC-1 용액, HF 용액 또는 이들을 연속적으로 사용하는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 5】

제1항에 있어서, 상기 제1콘택홀의 측벽에 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 6】

제5항에 있어서, 상기 스페이서의 형성은,

상기 제1콘택홀의 측벽과 저면 및 상기 제1절연막 패턴 표면 상에 실리콘 질화막, 산화막 또는 이들이 순차적으로 적층된 다층막을 연속적으로 형성하는 단계; 및

상기 결과물을 에치백하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 7】

제1항에 있어서, 상기 제1절연막 패턴 및 콘택 플러그 상에 식각 저지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 8】

제7항에 있어서, 상기 식각 저지막은 실리콘 질화막, 산화막 또는 이들이 순차적으로 적층된 다층막인 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 9】

제7항에 있어서, 상기 식각 저지막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 10】

제9항에 있어서, 상기 식각 저지막이 실리콘 질화막일 때 상기 식각 저지막의 제거는 인산 용액을 사용한 습식 식각에 의해 달성되고, 상기 식각 저지막이 산화막일 때 상기 식각 저지막의 제거는 LAL 용액을 사용한 습식 식각에 의해 달성되고, 상기 식각 저지막이 실리콘 질화막 및 산화막이 순차적으로 적층된 다층막일 때 상기 식각 저지막의 제거는 인산 용액을 사용한 습식 식각 및 LAL 용액을 사용한 습식 식각을 순차적으로 수행함에 의해 달성되는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 11】

제1항에 있어서, 상기 제2콘택홀의 측벽과 상기 제2콘택홀에 의해 노출된 상기 콘택 플러그 입구 부위의 측벽에 보호막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 12】

제11항에 있어서, 상기 보호막은 실리콘 질화막, 산화 알루미늄막 또는 이들이 순차적으로 적층된 다층막인 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 13】

제11항에 있어서, 상기 보호막을 일부분 남기면서 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 14】

제13항에 있어서, 상기 보호막이 실리콘 질화막일 때 상기 보호막의 제거는 인산 용액을 사용한 습식 식각에 의해 달성되고, 상기 보호막이 산화 알루미늄막일 때 상기 보호막의 제거는 LAL 용액을 사용한 습식 식각에 의해 달성되고, 상기 보호막이 실리콘 질화막 및 산화 알루미늄막이 순차적으로 적층된 다층막일 때 상기 보호막의 제거는 인산 용액을 사용한 습식 식각 및 LAL 용액을 사용한 습식 식각을 순차적으로 수행함에 의해 달성되는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 15】

제1항에 있어서, 상기 제2절연막 패턴의 형성은 건식 식각 또는 습식 식각에 의해 달성되는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 16】

제1항에 있어서, 상기 제2절연막 패턴이 비피에스지막일 때 상기 제2절연막 패턴의 제거는 LAL 용액을 사용한 습식 식각에 의해 달성되는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 17】

제1항에 있어서, 상기 제2절연막 상에 상기 제2식각비보다 낮은 제3식각비를 갖는 제3절연막을 형성하는 단계; 및

상기 제3절연막을 식각하여 상기 제2절연막의 상기 제2콘택홀이 형성될 부위를 노출시키는 제3콘택홀을 갖는 제3절연막 패턴을 형성하되, 상기 제2식각비와 제3식각비에 의해 상기 제3콘택홀의 선폭(critical dimension)이 상기 제2콘택홀의 선폭보다 작도록 형성하는 단계를 더 포함하는 반도체 장치의 커패시터의 하부 전극 제조 방법.

【청구항 18】

제17항에 있어서, 상기 제3절연막은 TEOS 산화막인 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 19】

제17항에 있어서, 상기 제3절연막 패턴의 형성은 건식 식각 또는 습식 식각에 의해 달성되는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 20】

제17항에 있어서, 상기 제3절연막 패턴을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 21】

제20항에 있어서, 상기 제3절연막 패턴이 TEOS 산화막일 때 상기 제3절연막 패턴의 제거는 LAL 용액을 사용한 습식 식각에 의해 달성되는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 22】

제1콘택홀을 갖는 제1절연막 패턴을 형성하는 단계;

상기 제1콘택홀 내에 하부 전극용 콘택 플러그를 형성하는 단계;

상기 제1절연막 패턴 상에 상기 콘택 플러그를 노출시키는 제2콘택홀을 갖는 제2절연막 패턴을 형성하는 단계;

상기 제2콘택홀의 측벽과 상기 제2콘택홀에 의해 노출된 상기 콘택 플러그 입구 부위의 측벽에 보호막을 형성하는 단계;

상기 보호막과 상기 콘택 플러그 상에 하부 전극용 도전성 박막을 연속적으로 형성하는 단계;

상기 제2절연막 패턴을 제거하는 단계; 및

상기 보호막의 일부분을 남기면서 제거하는 단계를 포함하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 23】

제22항에 있어서, 상기 제1절연막 패턴의 제1식각비는 상기 제2절연막 패턴의 제2식각비보다 낮은 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 24】

제23항에 있어서, 상기 제1절연막 패턴은 3.5 내지 4.5 중량%의 붕소와 3.3 내지 3.7 중량%의 인을 갖는 비피에스지막(BPSG layer)이고, 상기 제2절연막 패턴은 2.3 내지 2.7 중량%의 붕소와 2.25 내지 2.65 중량%의 인을 갖는 비피에스지막인 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 25】

제22항에 있어서, 상기 제1절연막 패턴을 형성한 후, 제1습식 세정을 수행하는 단계와, 상기 제2절연막 패턴을 형성한 후, 제2습식 세정을 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 26】

제25항에 있어서, 상기 제1습식 세정과 상기 제2습식 세정은 SC-1 용액, HF 용액 또는 이들을 연속적으로 사용하는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 27】

제22항에 있어서, 상기 제1콘택홀의 측벽에 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 28】

제27항에 있어서, 상기 스페이서의 형성은,

상기 제1콘택홀의 측벽과 저면 및 상기 제1절연막 패턴 표면 상에 실리콘 산화막, 산화막 또는 이들이 순차적으로 적층된 다층막막을 연속적으로 형성하는 단계; 및

상기 결과물을 에치백하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 29】

제22항에 있어서, 상기 제1절연막 패턴 및 콘택 플러그 상에 식각 저지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 30】

제29항에 있어서, 상기 식각 저지막은 실리콘 질화막, 산화막 또는 이들이 순차적으로 적층된 다층막인 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 31】

제29항에 있어서, 상기 식각 저지막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 32】

제31항에 있어서, 상기 식각 저지막이 실리콘 질화막일 때 상기 식각 저지막의 제거는 인산 용액을 사용한 습식 식각에 의해 달성되고, 상기 식각 저지막이 산화막일 때

상기 식각 저지막의 제거는 LAL 용액을 사용한 습식 식각에 의해 달성되고, 상기 식각 저지막이 실리콘 질화막 및 산화막이 순차적으로 적층된 다층막일 때 상기 식각 저지막의 제거는 인산 용액을 사용한 습식 식각 및 LAL 용액을 사용한 습식 식각을 순차적으로 수행함에 의해 달성되는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 33】

제22항에 있어서, 상기 보호막은 실리콘 질화막, 산화 알루미늄막 또는 이들이 순차적으로 적층된 다층막인 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 34】

제22항에 있어서, 상기 보호막이 실리콘 질화막일 때 상기 보호막의 제거는 인산 용액을 사용한 습식 식각에 의해 달성되고, 상기 보호막이 산화 알루미늄막일 때 상기 보호막의 제거는 LAL 용액을 사용한 습식 식각에 의해 달성되고, 상기 보호막이 실리콘 질화막 및 산화 알루미늄막이 순차적으로 적층된 다층막일 때 상기 보호막의 제거는 인산 용액을 사용한 습식 식각 및 LAL 용액을 사용한 습식 식각을 순차적으로 수행함에 의해 달성되는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 35】

제22항에 있어서, 상기 제2절연막 패턴의 형성은 건식 식각 또는 습식 식각에 의해 달성되는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 36】

제22항에 있어서, 상기 제2절연막 패턴이 비피에스지막일 때 상기 제2절연막 패턴의 제거는 LAL 용액을 사용한 습식 식각에 의해 달성되는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 37】

제22항에 있어서, 상기 제2절연막 상에 상기 제2식각비보다 낮은 제3식각비를 갖는 제3절연막을 형성하는 단계; 및

상기 제3절연막을 식각하여 상기 제2절연막의 상기 제2콘택홀이 형성될 부위를 노출시키는 제3콘택홀을 갖는 제3절연막 패턴을 형성하되, 상기 제2식각비와 제3식각비에 의해 상기 제3콘택홀의 선폭(critical dimension)이 상기 제2콘택홀의 선폭보다 작도록 형성하는 단계를 포함하는 반도체 장치의 커패시터의 하부 전극 제조 방법.

【청구항 38】

제37항에 있어서, 상기 제3절연막은 TEOS 산화막인 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 39】

제37항에 있어서, 상기 제3절연막 패턴의 형성은 건식 식각 또는 습식 식각에 의해 달성되는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 40】

제37항에 있어서, 상기 제3절연막 패턴을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 41】

제40항에 있어서, 상기 제3절연막 패턴이 TEOS 산화막일 때 상기 제3절연막 패턴의 제거는 LAL 용액을 사용한 습식 식각에 의해 달성되는 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극 제조 방법.

【청구항 42】

기판 상에 형성된 커패시터의 하부 전극용 콘택 플러그;

상기 콘택 플러그 상부에 형성되는 상기 하부 전극용 노드; 및

상기 노드와 연결되는 상기 콘택 플러그의 주변에 형성됨으로서 상기 콘택 플러그와 인접하는 콘택 플러그가 전기적으로 접촉하는 것을 저지하기 위한 보호막 패턴을 포함하는 반도체 장치 커패시터의 하부 전극.

【청구항 43】

제42항에 있어서, 상기 보호막 패턴은 실리콘 질화막, 산화 알루미늄막 또는 이들이 순차적으로 적층된 다층막인 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극.

【청구항 44】

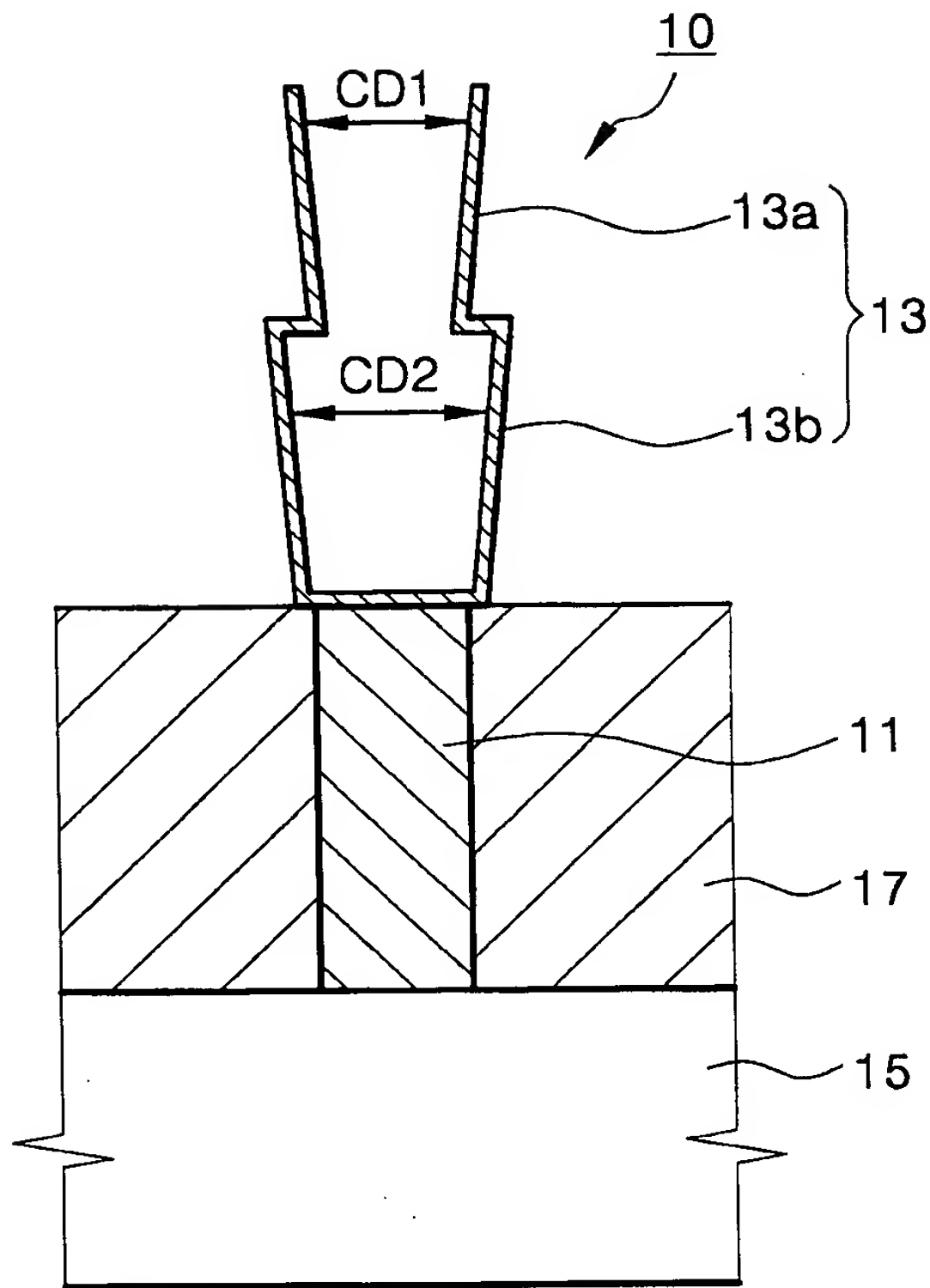
제42항에 있어서, 상기 노드는 실린더형인 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극.

【청구항 45】

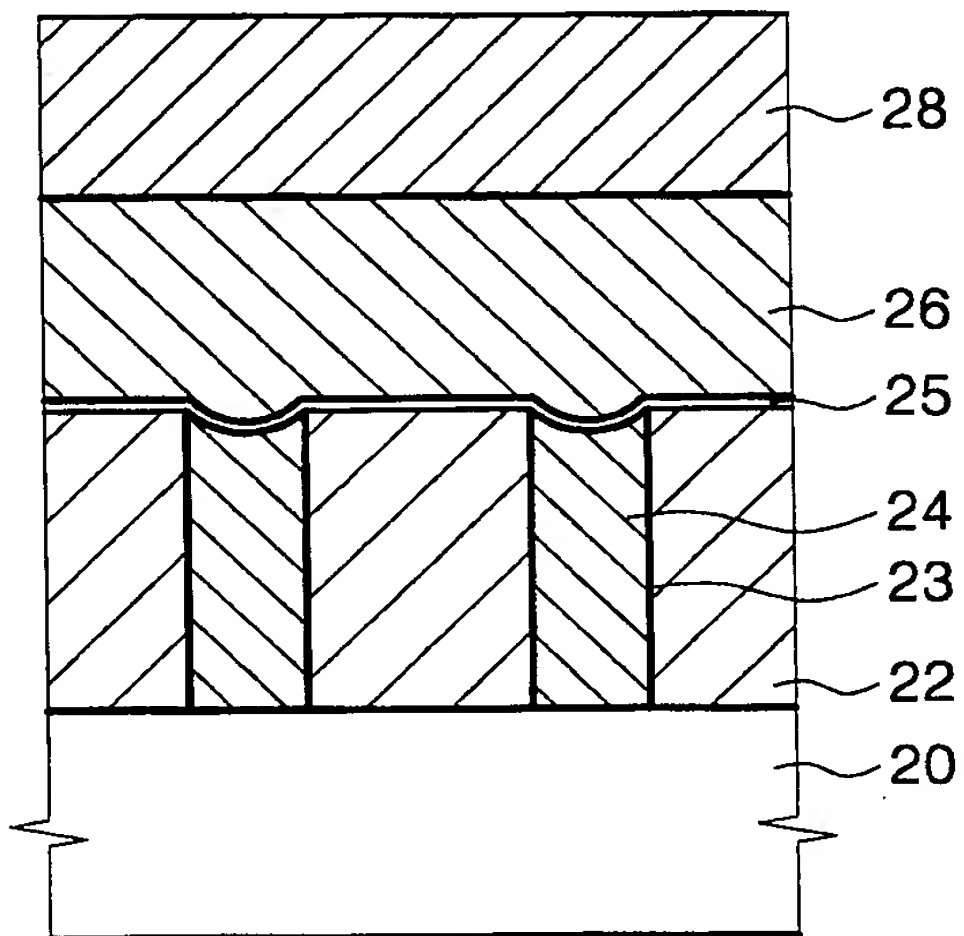
제44항에 있어서, 상기 실린더형 노드는 상부 노드 및 상기 상부 노드와 연결되는 하부 노드로 이루어지고, 상기 하부 노드의 선포이 상기 상부 노드의 선포보다 큰 것을 특징으로 하는 반도체 장치 커패시터의 하부 전극.

【도면】

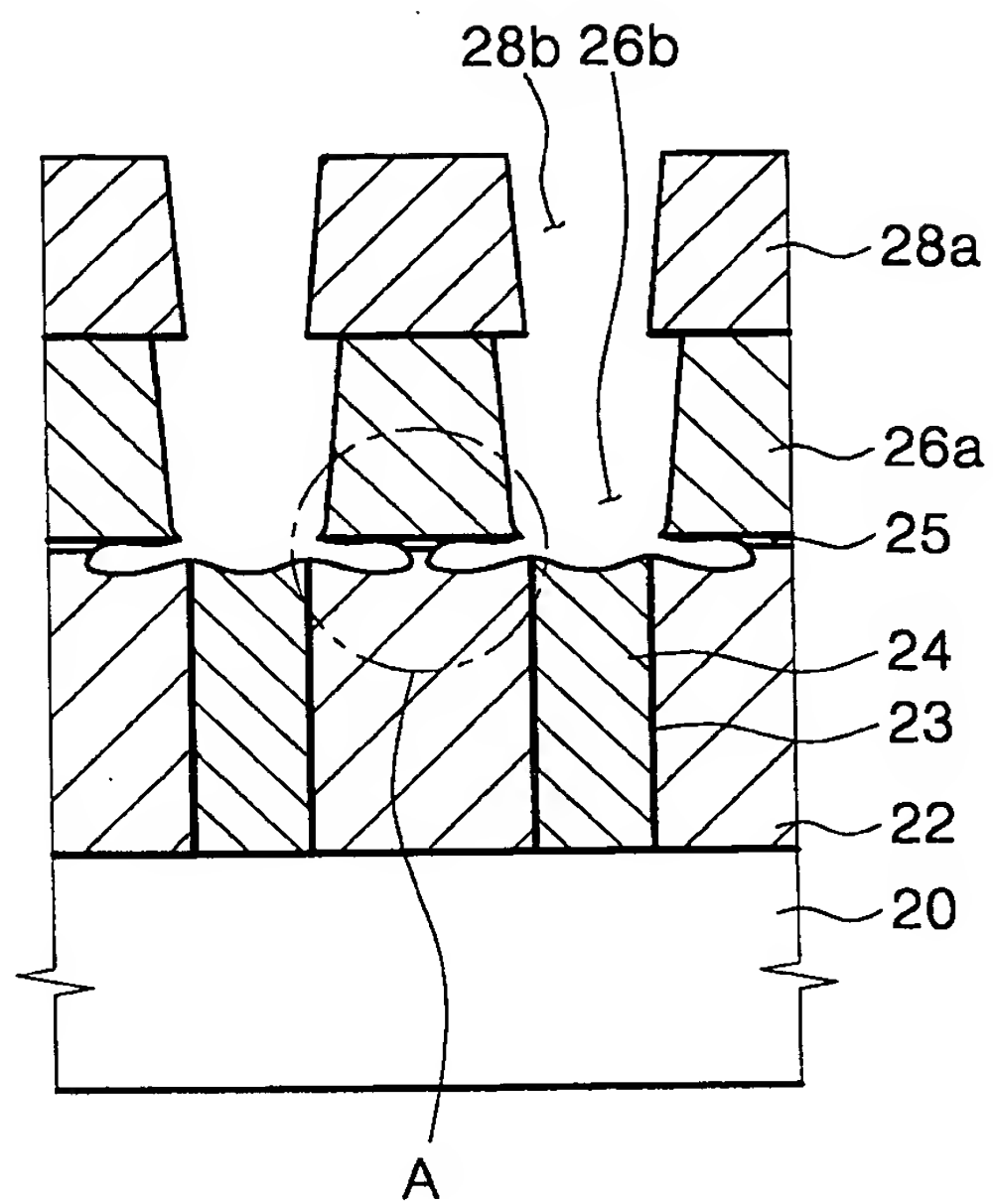
【도 1】



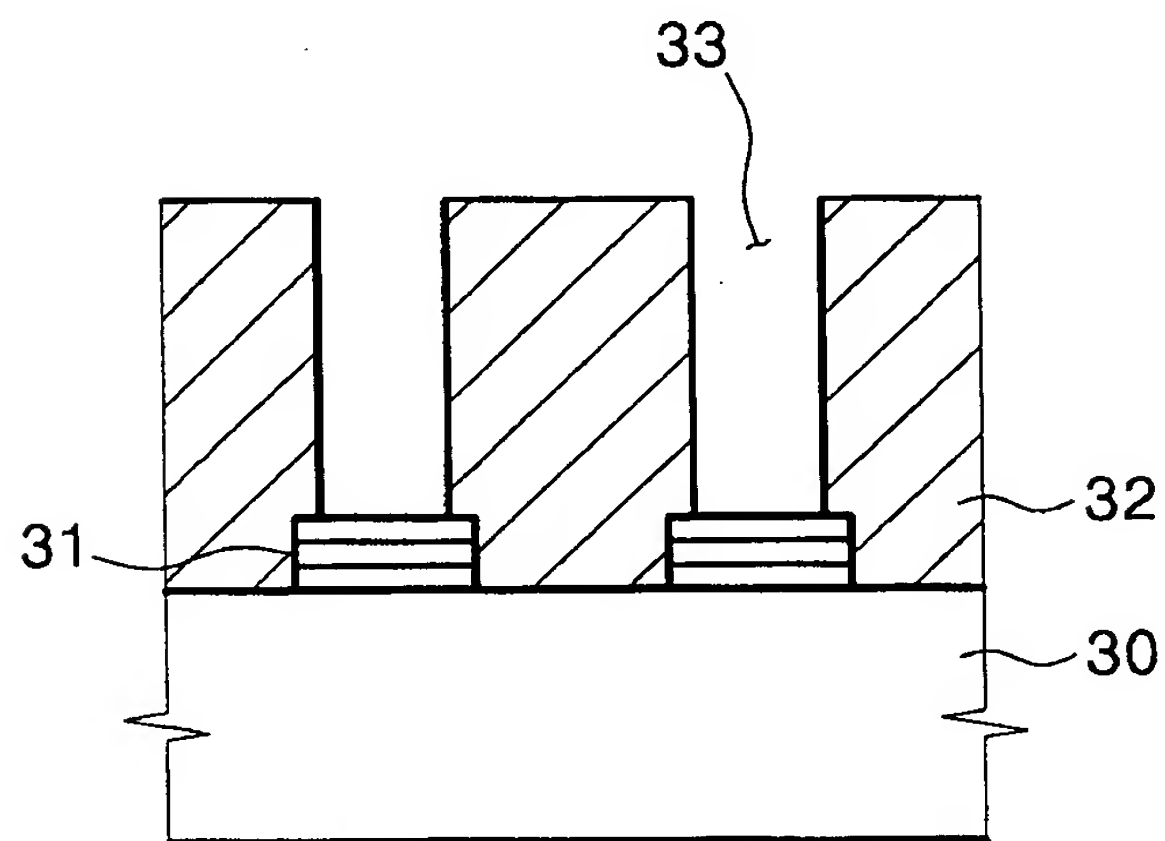
【도 2a】



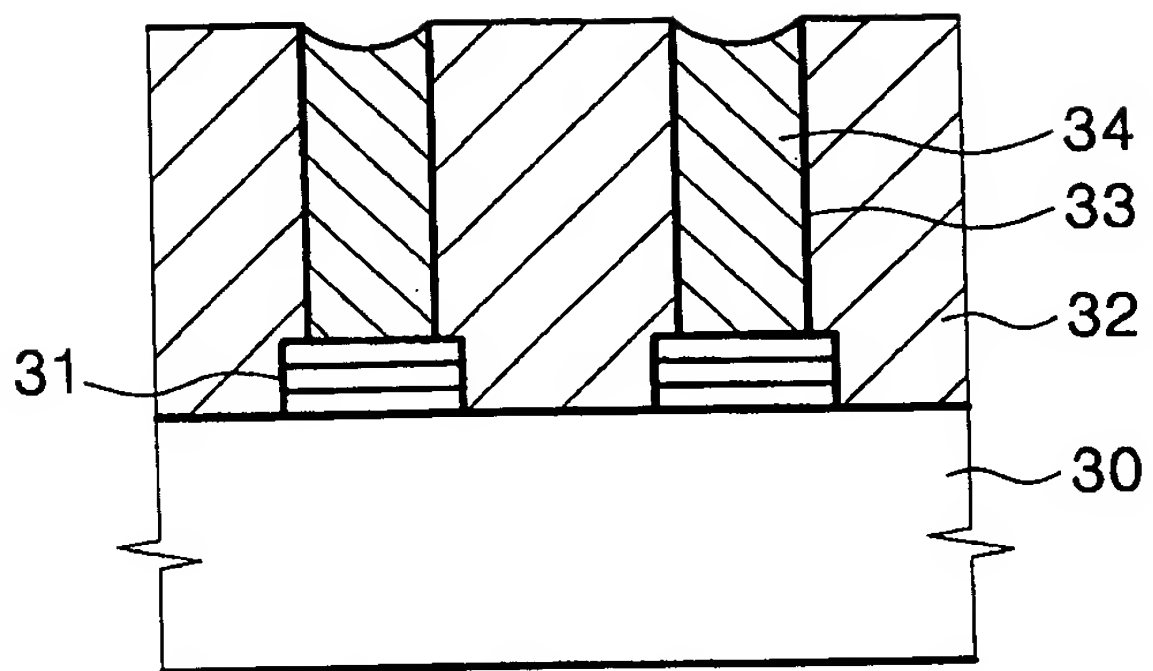
【도 2b】



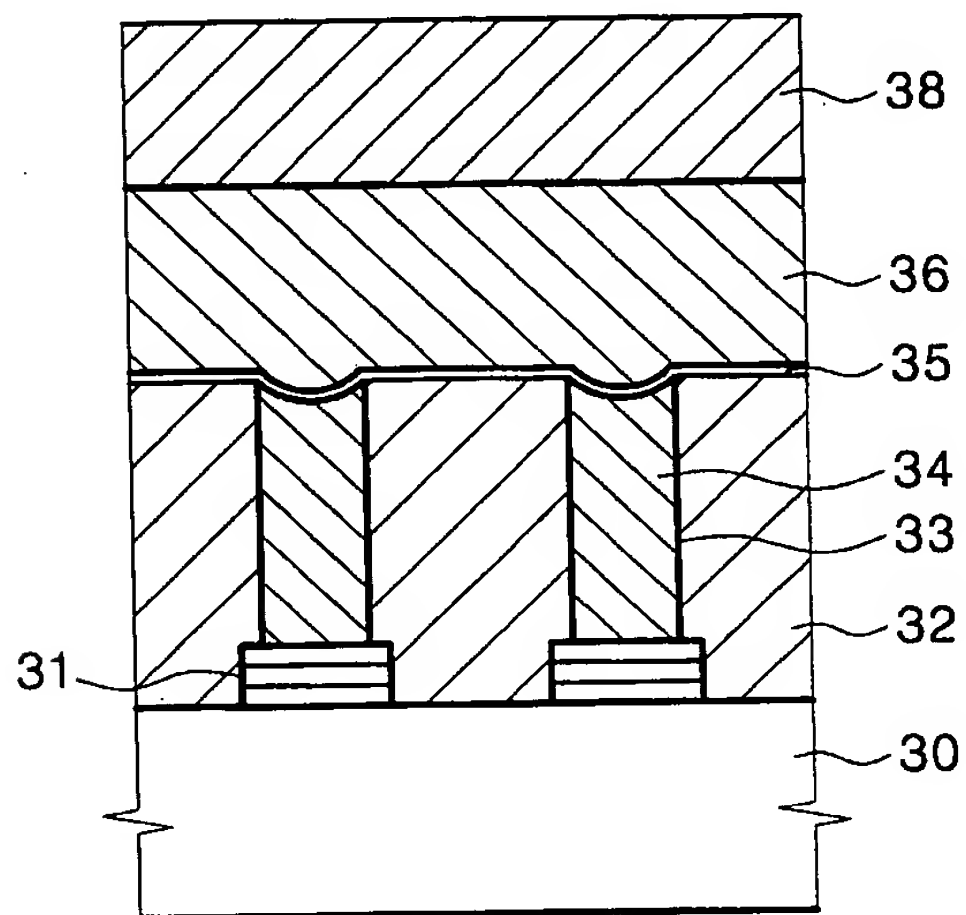
【도 3a】



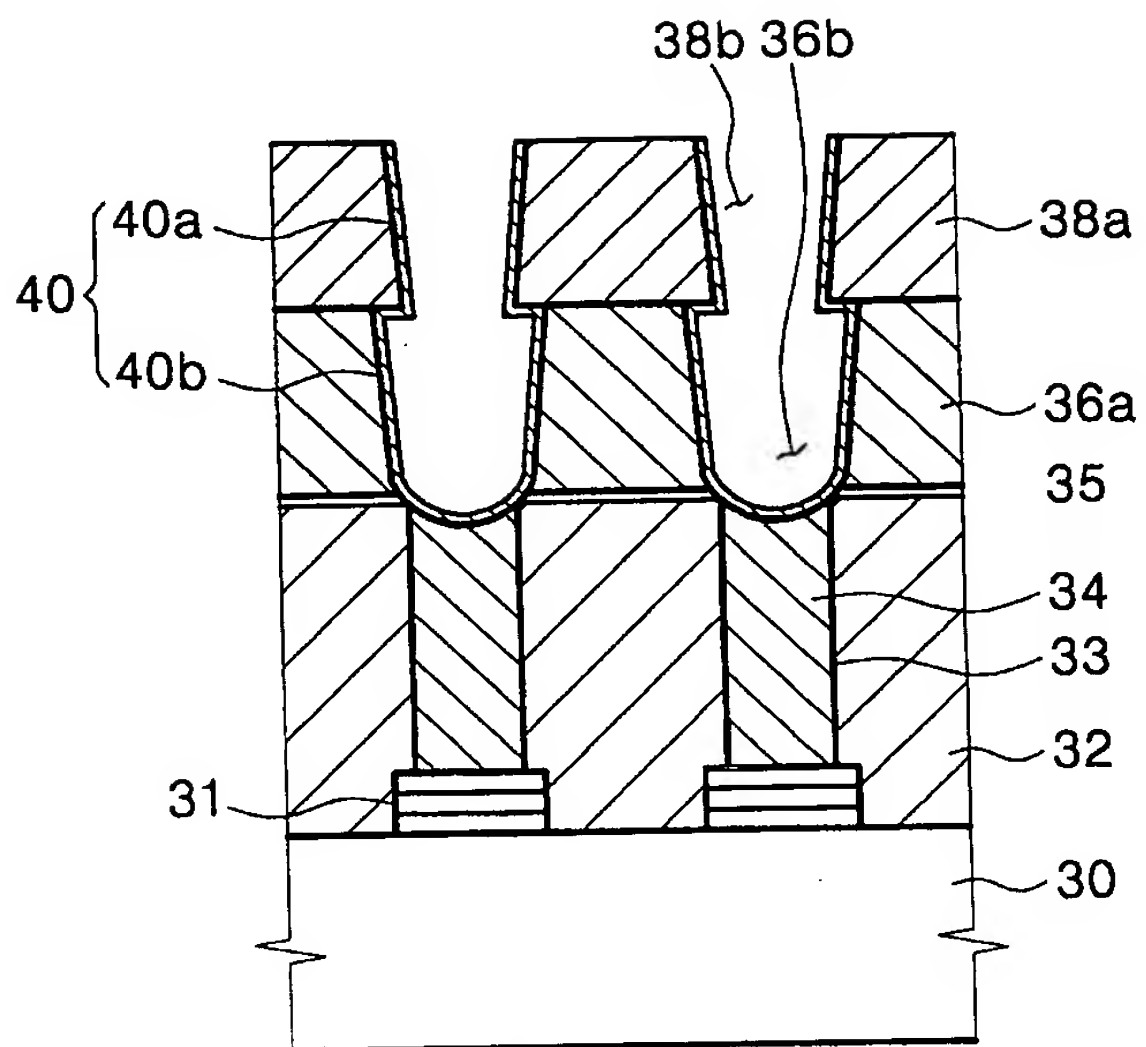
【도 3b】



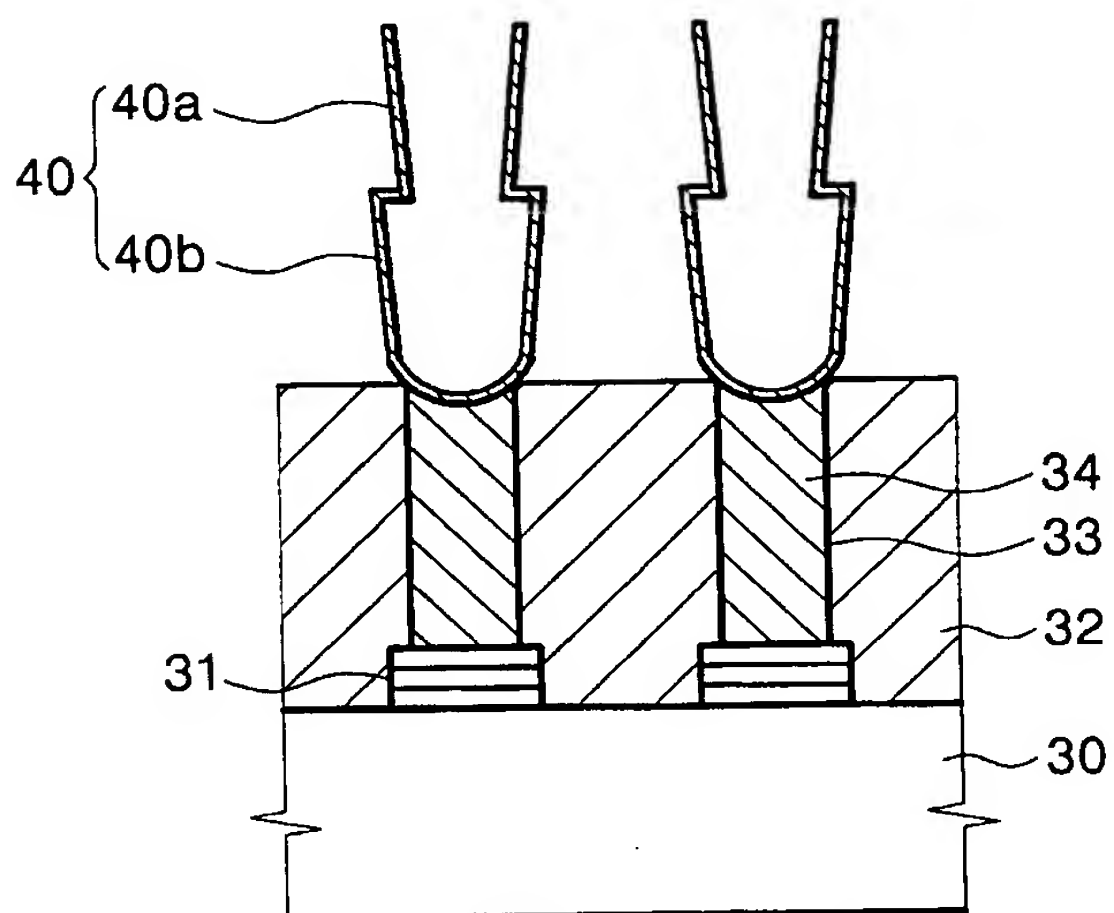
【도 3c】



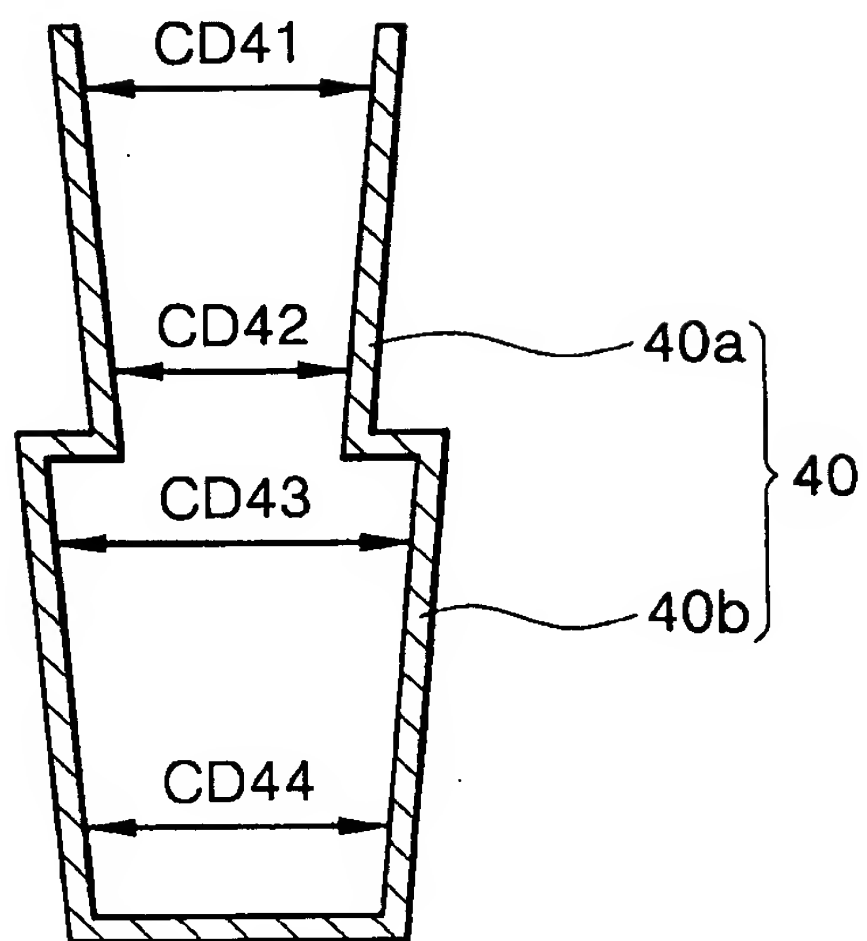
【도 3d】



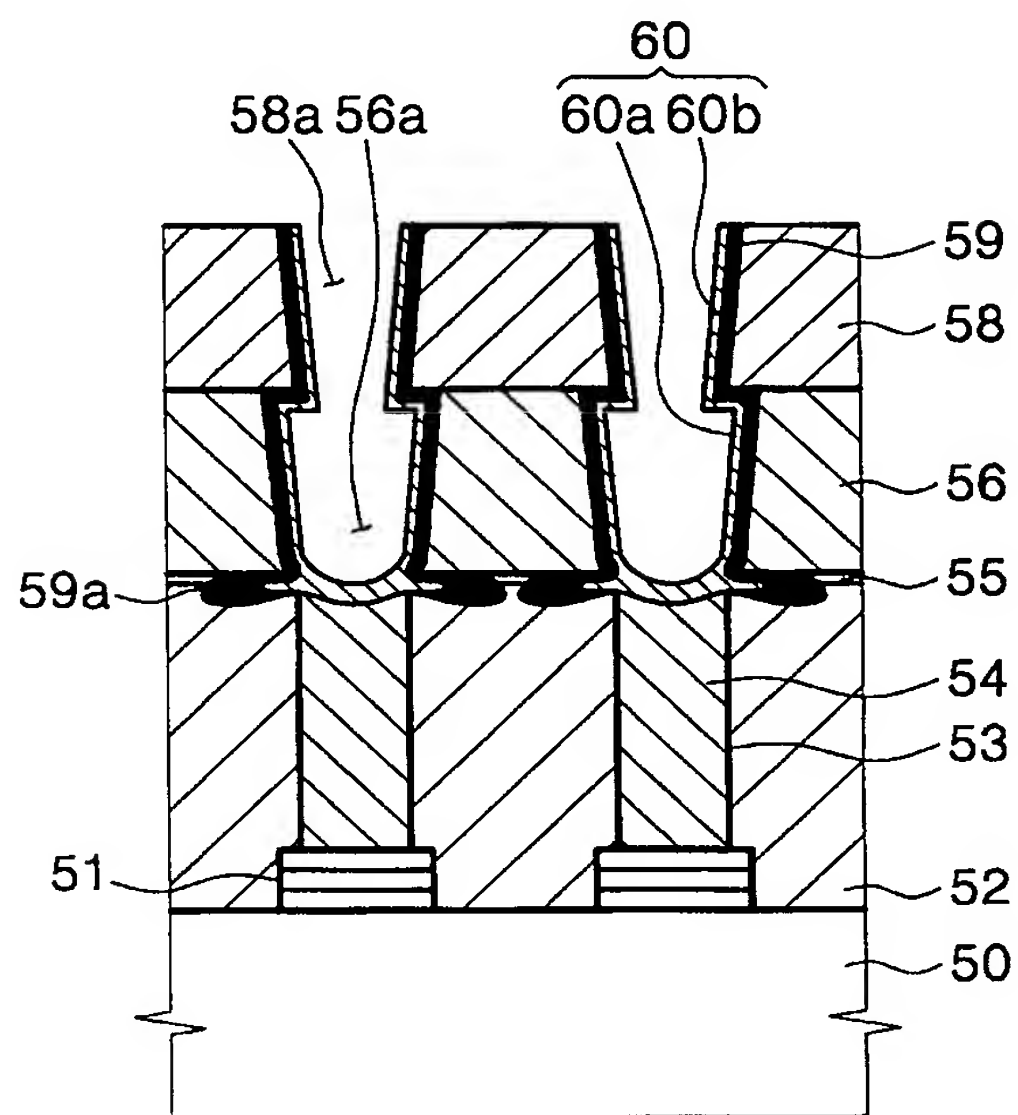
【도 3e】



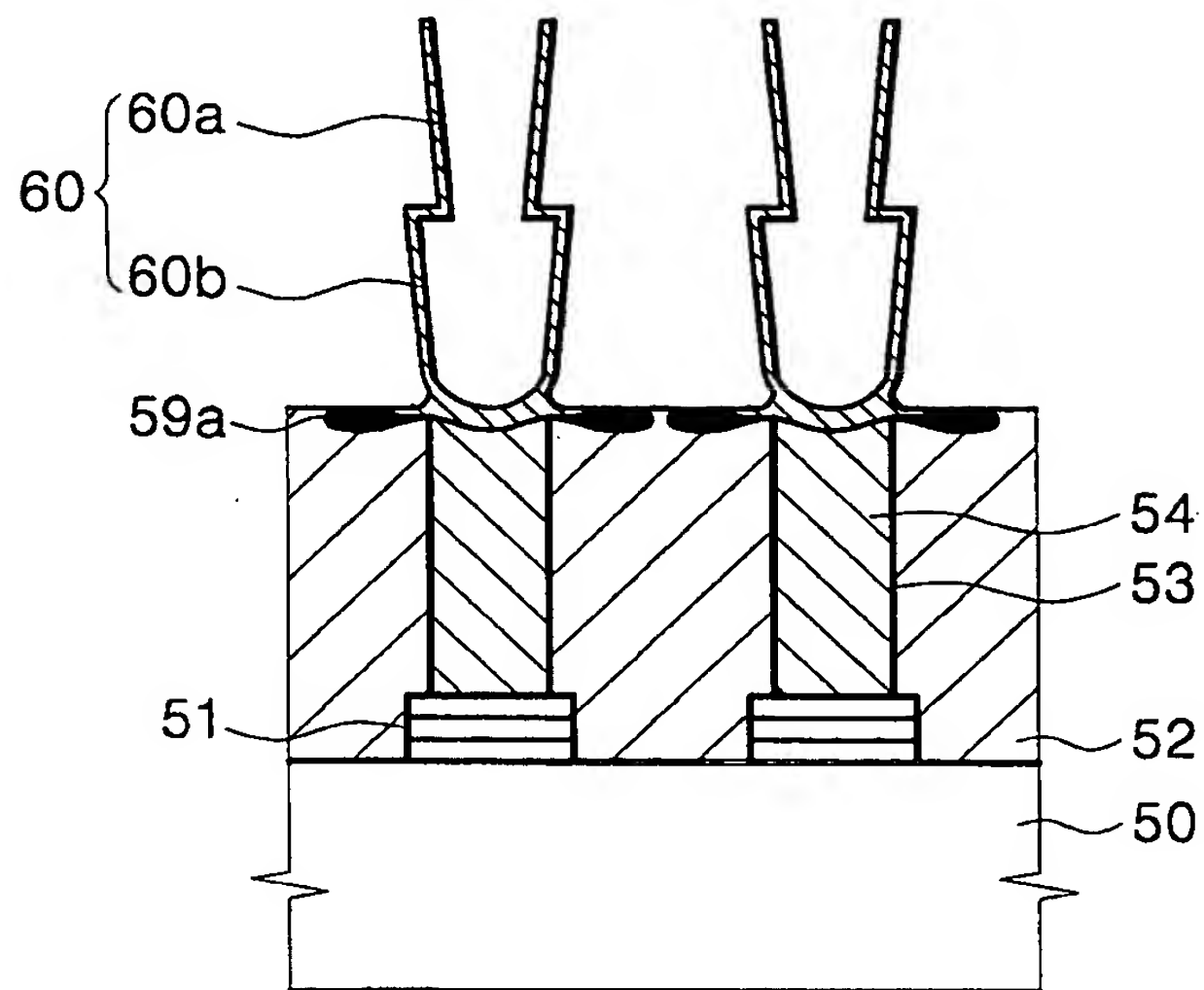
【도 4】



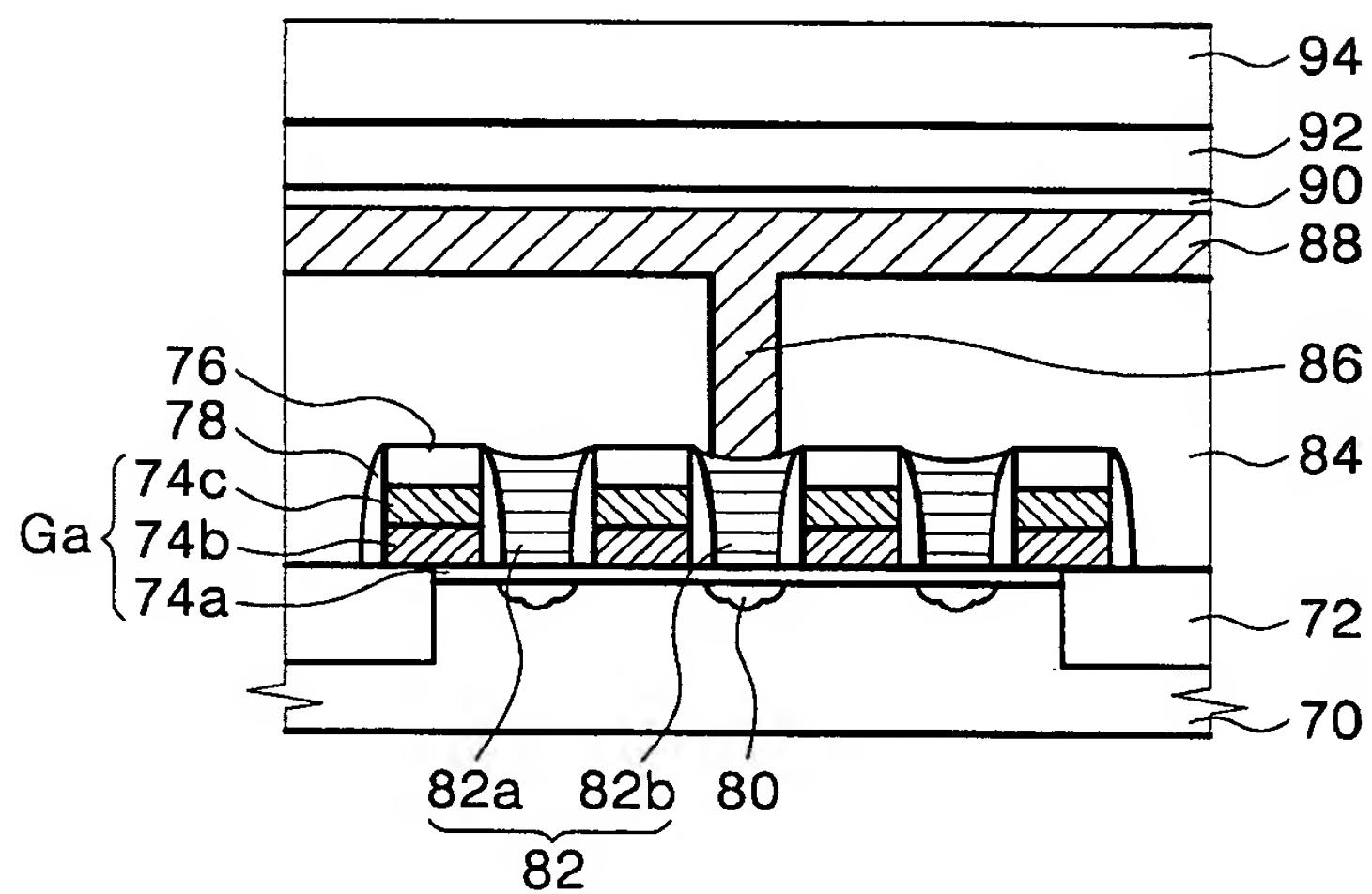
【도 5】



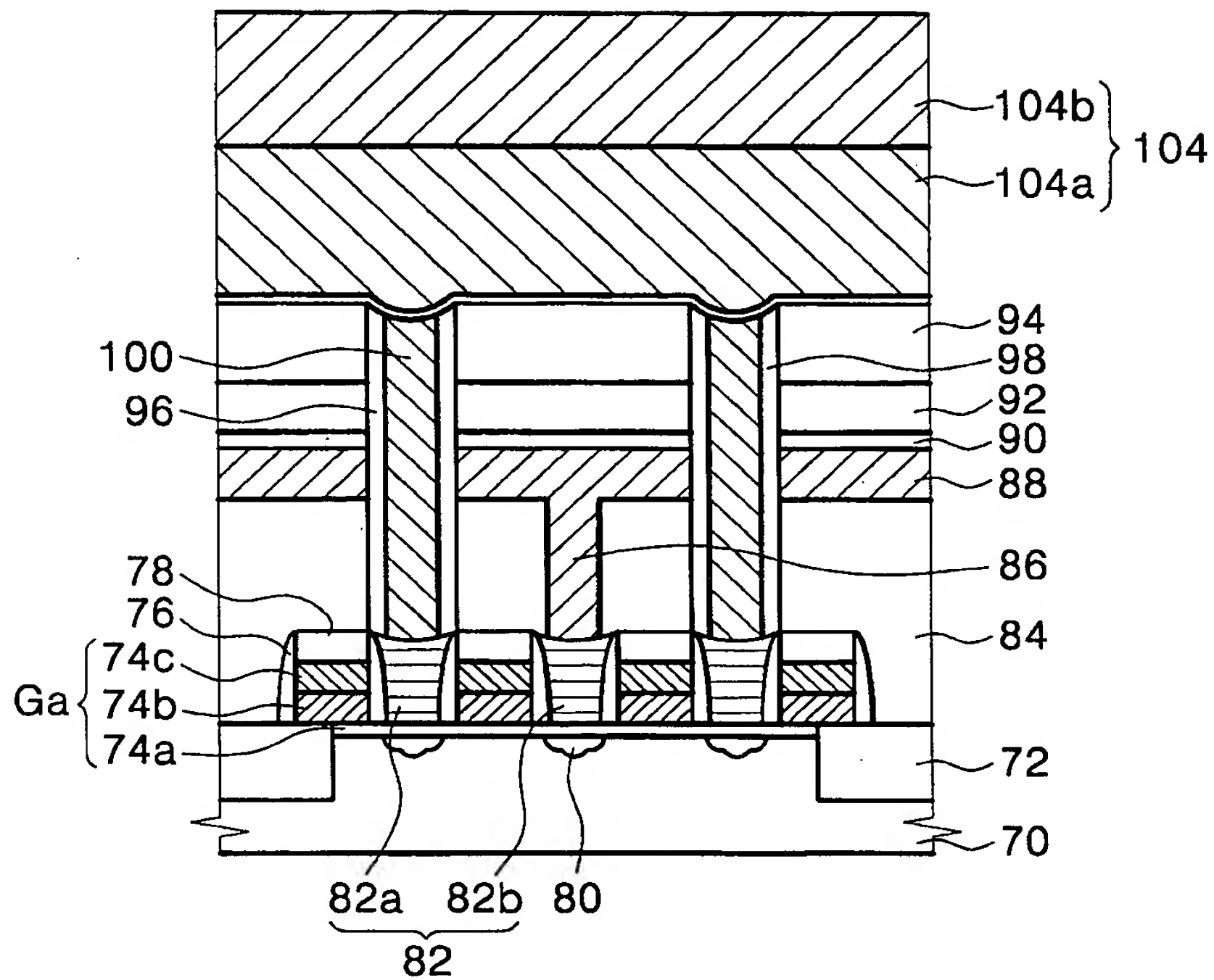
【도 6】



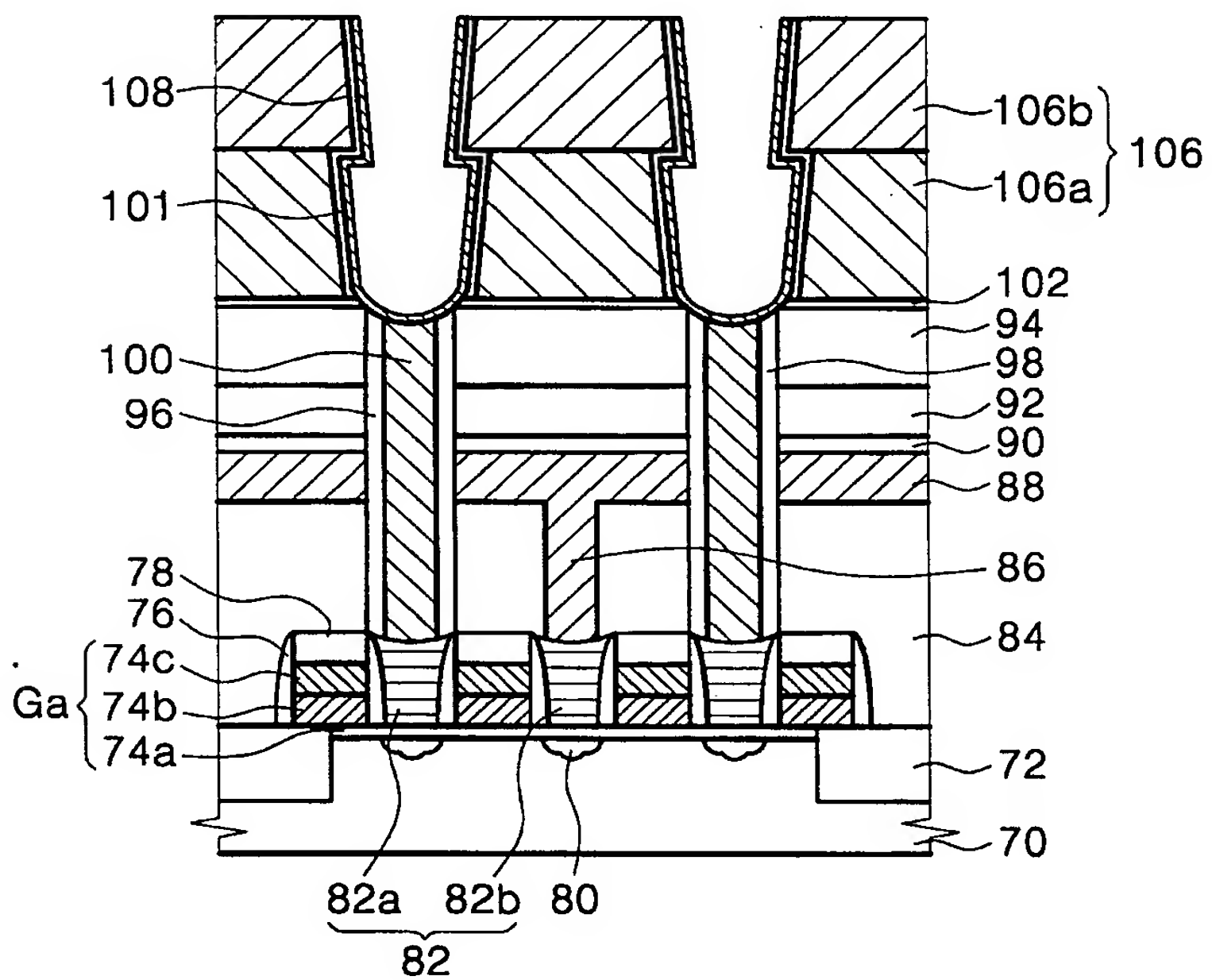
【도 7a】



【도 7b】



【도 7c】



【도 7d】

